

© EPODOC / EPO

PN - JP2000298995 A 20001024
PD - 2000-10-24
PR - JP19990105256 19990413
OPD - 1999-04-13
TI - ANALOG ASSOCIATIVE MEMORY AND ANALOG OPERATION
ELEMENT
IN - SUGIYAMA HISANOBU
PA - SONY CORP
EC - G11C15/04N ; G11C27/00 ; G11C27/00F
IC - G11C27/00 ; G11C15/04 ; H01L27/115 ; H01L27/10 ; H01L21/8247
; H01L29/788 ; H01L29/792 ; H03F3/45

© WPI / DERWENT

TI - Analog memory for e.g. image feature extraction, has differential amplifier circuit which outputs difference of values which individually correspond to first and second analog data
PR - JP19990105256 19990413
PN - JP2000298995 A 20001024 DW200104 G11C27/00 032pp
PA - (SONY) SONY CORP
IC - G11C15/04 ; G11C27/00 ; H01L21/8247 ; H01L27/10 ; H01L27/115 ; H01L29/788 ; H01L29/792 ; H03F3/45
AB - JP2000298995 NOVELTY - An analog memory element is provided to one side of a differential amplifier circuit which includes a current mirror type load circuit. The analog memory element stores a value corresponding to second analog data. The differential amplifier circuit outputs the difference of the values which individually correspond to first and second analog data.
- DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for an analog operational element.
- USE - For e.g. image feature extraction, activity vector detection.
- ADVANTAGE - Uses simple and accurate components.
- DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of analog memory.
- (Dwg.2/21)
OPD - 1999-04-13
AN - 2001-029117 [04]

© PAJ / JPO

PN - JP2000298995 A 20001024

This Page Blank (user)

- PD - 2000-10-24
- AP - JP19990105256 19990413
- IN - SUGIYAMA HISANOBU
- PA - SONY CORP
- TI - ANALOG ASSOCIATIVE MEMORY AND ANALOG OPERATION ELEMENT
- AB - PROBLEM TO BE SOLVED: To enable performing accurate operation without being affected by parasitic capacity of a wiring part and the like in an analog associative memory performing picture operation processing obtaininfg difference between reference data and input data with an analog value and using sum of absolute values of difference between this reference data and input data.
- SOLUTION: Analog storage elements A11-Amn are provided at one side of a differential amplifier circuit having a load circuit of a current mirror type. A value corresponding to reference analog data is stored in this analog storage elements A11-Amn. And a value corresponding to input data is given to the other input of the differential amplifier circuit. And a value corresponding to difference between a value corresponding to reference analog data and a value corresponding to input analog data is outputted by this differential amplifier circuit. Sum of absolute values of difference between reference data and input data can be obtained accurately and at high speed with simple constitution accurately by using such an analog associative memory.
- I - G11C27/00 ;G11C15/04 ;H01L27/115 ;H01L27/10 ;H01L21/8247 ;H01L29/788 ;H01L29/792 ;H03F3/45

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-298995

(P2000-298995A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 1 1 C 27/00	1 0 1	G 1 1 C 27/00	1 0 1 A 5 F 0 0 1
15/04	6 0 1	15/04	6 0 1 R 5 F 0 8 3
			6 0 1 W 5 J 0 6 6
H 0 1 L 27/115		H 0 1 L 27/10	4 5 1
27/10	4 5 1	H 0 3 F 3/45	A

審査請求 未請求 請求項の数32 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願平11-105256

(22) 出願日 平成11年4月13日 (1999. 4. 13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 杉山 寿伸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

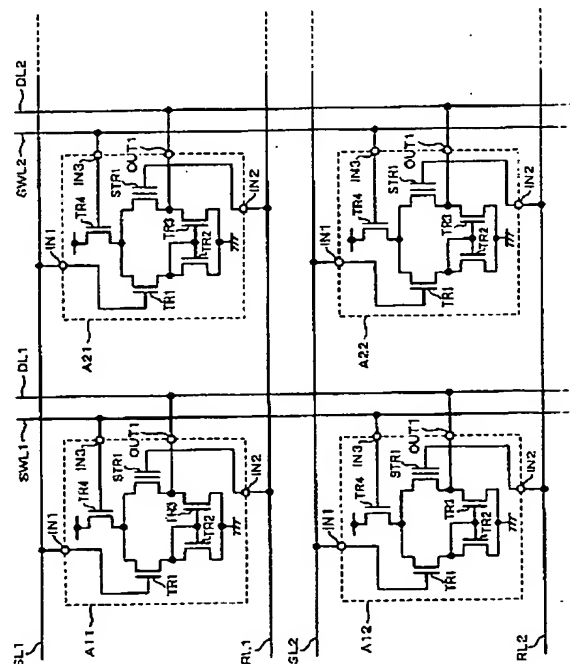
最終頁に続く

(54) 【発明の名称】 アナログ連想メモリ及びアナログ演算素子

(57) 【要約】

【課題】 リファレンスデータと入力データとの差分をアナログ値で求めて、このリファレンスデータと入力データとの差分の絶対値和を使って画像演算処理を行なうアナログ連想メモリにおいて、配線部の寄生容量等の影響を受けずに、精度良い演算が行なえるようにする。

【解決手段】 カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子を設ける。このアナログ記憶素子にリファレンスアナログデータに対応する値を記憶させておく。そして、差動増幅回路の他方の入力に、入力データに対応する値を与える。この差動増幅回路によりリファレンスアナログデータに対応する値と入力アナログデータに対応する値との差分に対応する値が出力される。このようなアナログ連想メモリを用いると、構成が簡単で、精度良く、高速に、リファレンスデータと入力データとの差分の絶対値和を求めることができる。



【特許請求の範囲】

【請求項1】 第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、上記アナログ演算素子は、カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子を設けるように構成されており、

上記アナログ記憶素子に上記第2のアナログデータに対応する値を記憶させ、

上記差動増幅回路の他方の入力に第1のアナログデータに対応する値を与え、

上記差動増幅回路により上記第2のアナログデータに対応する値と上記第1のアナログデータに対応する値との差分に対応する値を出力させるようにしたアナログ連想メモリ。

【請求項2】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項1に記載のアナログ連想メモリ。

【請求項3】 カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子を設け、上記アナログ記憶素子に上記第2のアナログデータに対応する値を記憶させ、

上記差動増幅回路の他方の入力に第1のアナログデータに対応する値を与え、

上記差動増幅回路により上記第2のアナログデータに対応する値と上記第1のアナログデータに対応する値との差分に対応する値を出力させるようにしたアナログ演算素子。

【請求項4】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項3に記載のアナログ演算素子。

【請求項5】 第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、上記アナログ演算素子は、

MOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と、

上記第1のMOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、

上記MOSTランジスタのゲートから導出された第1の入力端子と、

上記スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、

上記カレントミラー型の負荷回路と上記スタックゲート型MOSTランジスタとの接続点から導出された出力端子とを備え、

上記スタックゲート型MOSTランジスタのフローティ

ングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、

上記第1の入力端子に上記第1のアナログデータに応じた値を印加し、上記第2の入力端子に上記所定の電位を印加し、

上記出力端子から上記第2のアナログデータの値と上記第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ連想メモリ。

【請求項6】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項5に記載のアナログ連想メモリ。

【請求項7】 同一の列方向に並ぶ上記アナログ演算素子の出力電流を加算して電圧に変換する電流-電圧変換回路を設けるようにした請求項5に記載のアナログ連想メモリ。

【請求項8】 1つの演算要素に対してリファレンスアナログデータから入力アナログデータを減算する第1のアナログ演算素子と、入力アナログデータからリファレンスアナログデータを減算する第2のアナログ演算素子と、

上記第1及び第2のアナログ演算素子の夫々に対して設けられ、1方向にのみ上記第1及び第2のアナログ演算素子の出力電流に応じた電流を出力する第1及び第2のカレントミラー回路と、

同一の列方向に並ぶ上記第1又は第2のカレントミラー回路の出力電流を加算して電圧に変換する電流-電圧変換回路とを設けるようにした請求項5に記載のアナログ連想メモリ。

【請求項9】 上記第2の入力端子を介して上記スタックゲート型MOSTランジスタのコントロールゲートに書き込み電位を印加すると共に、上記出力端子を介して上記スタックゲート型トランジスタのソース拡散層にバイアス電位を印加して書き込みを断続的に行ない、

上記書き込みを断続的に行なう間に、上記第1の入力端子を介して上記MOSTランジスタのゲートにリファレンスアナログデータの値を印加し、上記第2の入力端子を介して上記スタックゲート型MOSTランジスタのコントロールゲートに上記所定の電位を印加し、

上記出力端子の電流を検出して、上記スタックゲート型MOSTランジスタのフローティングゲート電位が上記所定の電位をコントロールゲートに印加したときに上記第2のアナログデータに相当する値になったか否かをベリファイするようにした請求項5に記載のアナログ連想メモリ。

【請求項10】 上記スタックゲート型MOSTランジスタに対して並列に複数のスタックゲート型MOSTランジスタを接続するようにした請求項5に記載のアナログ連想メモリ。

【請求項11】 MOSトランジスタとスタックゲート型MOSトランジスタとからなる差動増幅回路と、
 上記第1のMOSトランジスタとスタックゲート型MOSトランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、
 上記MOSトランジスタのゲートから導出された第1の入力端子と、
 上記スタックゲート型MOSトランジスタのコントロールゲートから導出された第2の入力端子と、
 上記カレントミラー型の負荷回路と上記スタックゲート型MOSトランジスタとの接続点から導出された出力端子とを備え、
 上記スタックゲート型MOSトランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、
 上記第1の入力端子に第1のアナログデータに応じた値を印加し、上記第2の入力端子に上記所定の電位を印加し、
 上記出力端子から上記第2のアナログデータの値と上記第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ演算素子。

【請求項12】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項11に記載のアナログ演算素子。

【請求項13】 上記第2の入力端子を介して上記スタックゲート型MOSトランジスタのコントロールゲートに書き込み電位を印加すると共に、上記出力端子を介して上記スタックゲート型トランジスタのソース拡散層にバイアス電位を印加して書き込みを断続的に行ない、
 上記書き込みを断続的に行なう間に、上記第1の入力端子を介して上記MOSトランジスタのゲートにリファレンスアナログデータの値を印加し、上記第2の入力端子を介して上記スタックゲート型MOSトランジスタのコントロールゲートに上記所定の電位を印加し、
 上記出力端子の電流を検出して、上記スタックゲート型MOSトランジスタのフローティングゲート電位が上記所定の電位をコントロールゲートに印加したときに上記第2のアナログデータに相当する値になったか否かをベリファイするようにした請求項11に記載のアナログ演算素子。

【請求項14】 上記スタックゲート型MOSトランジスタに対して並列に複数のスタックゲート型MOSトランジスタを接続するようにした請求項11に記載のアナログ演算素子。

【請求項15】 第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、

上記アナログ演算素子は、
 第1のMOSトランジスタと第2のMOSトランジスタとからなる差動増幅回路と、
 上記第1のMOSトランジスタと上記第2のMOSトランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、
 上記第2のMOSトランジスタのゲートに対するソースフォロ回路を構成するスタックゲート型MOSトランジスタと、
 上記第1のMOSトランジスタのゲートから導出された第1の入力端子と、
 上記スタックゲート型MOSトランジスタのコントロールゲートから導出された第2の入力端子と、
 上記スタックゲート型MOSトランジスタのドレインから導出された第3の入力端子と、
 上記カレントミラー型の負荷回路と上記第2のMOSトランジスタとの接続点から導出された出力端子とを備え、
 上記スタックゲート型MOSトランジスタのスレショルド電圧を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、
 上記第1の入力端子に上記第1のアナログデータに応じた値を印加し、上記第2の入力端子に上記所定の電位を印加し、
 上記出力端子から上記第2のアナログデータの値と上記第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ連想メモリ。
 【請求項16】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項15に記載のアナログ連想メモリ。
 【請求項17】 同一の列方向に並ぶ上記アナログ演算素子の出力電流を加算して電圧に変換する電流-電圧変換回路を設けるようにした請求項15に記載のアナログ連想メモリ。
 【請求項18】 1つの演算要素に対してリファレンスアナログデータから入力アナログデータを減算する第1のアナログ演算素子と、入力アナログデータからリファレンスアナログデータを減算する第2のアナログ演算素子と、
 上記第1及び第2のアナログ演算素子の夫々に対して設けられ、1方向にのみ上記第1及び第2のアナログ演算素子の出力電流に応じた電流を出力する第1及び第2のカレントミラー回路と、
 同一の列方向に並ぶ上記第1又は第2のカレントミラー回路の出力電流を加算して電圧に変換する電流-電圧変換回路とを設けるようにした請求項15に記載のアナログ連想メモリ。
 【請求項19】 上記第2の入力端子を介して上記スタ

ックゲート型MOSトランジスタのコントロールゲートに書き込み電位を印加すると共に、上記第3の入力端子を介してスタックゲート型トランジスタのドレイン拡散層にバイアス電位を印加して書き込みを断続的に行ない、

上記書き込みを断続的に行なう間に、上記第1の入力端子を介して上記第1のMOSトランジスタのゲートにリファレンスアナログデータの値を印加し、上記第1のスタックゲート型MOSトランジスタのソースフォロウを通じて上記所定の電位を上記第2のMOSトランジスタのゲートに印加し、

上記出力端子の電流を検出して、上記スタックゲート型MOSトランジスタのスレショルド電圧が上記所定の電位をコントロールゲートに印加したときに上記リファレンスアナログデータに相当する値になったか否かをベリファイするようにした請求項15に記載のアナログ連想メモリ。

【請求項20】 上記スタックゲート型MOSトランジスタに対して並列に複数のスタックゲート型MOSトランジスタを接続するようにした請求項15に記載のアナログ連想メモリ。

【請求項21】 第1のMOSトランジスタと第2のMOSトランジスタとからなる差動増幅回路と、

上記第1のMOSトランジスタと上記第2のMOSトランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、

上記第2のMOSトランジスタのゲートに対するソースフォロウ回路を構成するスタックゲート型MOSトランジスタと、

上記第1のMOSトランジスタのゲートから導出された第1の入力端子と、

上記スタックゲート型MOSトランジスタのコントロールゲートから導出された第2の入力端子と、

上記スタックゲート型MOSトランジスタのドレインから導出された第3の入力端子と、

上記カレントミラー型の負荷回路と上記第2のMOSトランジスタとの接続点から導出された出力端子とを備え、

上記スタックゲート型MOSトランジスタのスレショルド電圧を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、

上記第1の入力端子に第1のアナログデータに応じた値を印加し、上記第2の入力端子に上記所定の電位を印加し、

上記出力端子から上記第2のアナログデータの値と上記第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ演算素子。

【請求項22】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファ

レンスアナログデータである請求項21に記載のアナログ演算素子。

【請求項23】 上記第2の入力端子を介して上記スタックゲート型MOSトランジスタのコントロールゲートに書き込み電位を印加すると共に、上記第3の入力端子を介してスタックゲート型トランジスタのドレイン拡散層にバイアス電位を印加して書き込みを断続的に行ない、

上記書き込みを断続的に行なう間に、上記第1の入力端子を介して上記第1のMOSトランジスタのゲートにリファレンスアナログデータの値を印加し、上記第1のスタックゲート型MOSトランジスタのソースフォロウを通じて上記所定の電位を上記第2のMOSトランジスタのゲートに印加し、

上記出力端子の電流を検出して、上記スタックゲート型MOSトランジスタのスレショルド電圧が上記所定の電位をコントロールゲートに印加したときに上記リファレンスアナログデータに相当する値になったか否かをベリファイするようにした請求項21に記載のアナログ演算素子。

【請求項24】 上記スタックゲート型MOSトランジスタに対して並列に複数のスタックゲート型MOSトランジスタを接続するようにした請求項21に記載のアナログ演算素子。

【請求項25】 第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、

上記アナログ演算素子は、

MOSトランジスタとスタックゲート型MOSトランジスタとからなる差動増幅回路と、

上記第1のMOSトランジスタとスタックゲート型MOSトランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、

上記スタックゲート型MOSトランジスタのフローティングゲートと上記MOSトランジスタとの間に設けられたスイッチングトランジスタと、

上記MOSトランジスタのゲートから導出された第1の入力端子と、

上記スタックゲート型MOSトランジスタのコントロールゲートから導出された第2の入力端子と、

上記カレントミラー型の負荷回路と上記スタックゲート型MOSトランジスタとの接続点から導出された出力端子とを備え、

上記スイッチングトランジスタを介して上記スタックゲート型MOSトランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに上記第2のアナログデータの値になるように設定しておき、

上記第1の入力端子に上記第1のアナログデータに応じ

た値を印加し、上記第2の入力端子に上記所定の電位を印加し、

上記出力端子から上記第2のアナログデータの値と上記第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ連想メモリ。

【請求項26】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項25に記載のアナログ連想メモリ。

【請求項27】 同一の列方向に並ぶ上記アナログ演算素子の出力電流を加算して電圧に変換する電流-電圧変換回路を設けるようにした請求項25に記載のアナログ連想メモリ。

【請求項28】 1つの演算要素に対してリファレンスアナログデータから入力アナログデータを減算する第1のアナログ演算素子と、入力アナログデータからリファレンスアナログデータを減算する第2のアナログ演算素子と、

上記第1及び第2のアナログ演算素子の夫々に対して設けられ、1方向にのみ上記第1及び第2のアナログ演算素子の出力電流に応じた電流を出力する第1及び第2のカレントミラー回路と、

同一の列方向に並ぶ上記第1又は第2のカレントミラー回路の出力電流を加算して電圧に変換する電流-電圧変換回路とを設けるようにした請求項25に記載のアナログ連想メモリ。

【請求項29】 上記スタックゲート型MOSトランジスタに対して並列に複数のスタックゲート型MOSトランジスタを接続するようにした請求項25に記載のアナログ連想メモリ。

【請求項30】 MOSトランジスタとスタックゲート型MOSトランジスタとからなる差動増幅回路と、

上記第1のMOSトランジスタとスタックゲート型MOSトランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、

上記スタックゲート型MOSトランジスタのフローティングゲートと上記MOSトランジスタとの間に設けられたスイッチングトランジスタと、

上記MOSトランジスタのゲートから導出された第1の入力端子と、

上記スタックゲート型MOSトランジスタのコントロールゲートから導出された第2の入力端子と、

上記カレントミラー型の負荷回路と上記スタックゲート型MOSトランジスタとの接続点から導出された出力端子とを備え、

上記スイッチングトランジスタを介して上記スタックゲート型MOSトランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、上記第1の入力端子に第1のアナログデータに応じた値

を印加し、上記第2の入力端子に上記所定の電位を印加し、

上記出力端子から上記第2のアナログデータの値と上記第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ演算素子。

【請求項31】 上記第1のアナログデータは入力アナログデータであり、上記第2のアナログデータはリファレンスアナログデータである請求項30に記載のアナログ演算素子。

【請求項32】 上記スタックゲート型MOSトランジスタに対して並列に複数のスタックゲート型MOSトランジスタを接続するようにした請求項30に記載のアナログ演算素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像の特徴抽出や動きベクトルの検出に用いて好適なアナログ連想メモリに関する。

【0002】

【従来の技術】画像の特徴抽出や動きベクトルの検出等の信号処理では、入力データとリファレンスデータとの差分の絶対値和(Manhattan 距離)を求め、この入力データとリファレンスデータとの差分の絶対値和が最小となるようなアドレスを探索するようなテンプレートマッチングの手法が用いられている。このようなテンプレートマッチングによる画像処理は、従来、デジタル信号処理で行なわれている。ところが、画像処理では、数種の画像パターンや物体形状の特徴ベクトルをリファレンスエリアに大量に保持しておき、新たに得られた画像情報と最も類似しているデータを高速に検索する必要がある。デジタル信号処理でこのような処理を行なうと、リファレンスデータエリアが大きくなればなる程、検索に要する時間が長くなるという問題がある。このため、リファレンスデータエリアを大きくした場合には、高速な演算速度が要求される。

【0003】これに対して、最近、これらの信号処理をアナログ信号のまま大規模、並列的に行なうことにより、信号処理に要する時間を格段に短くし、なおかつ、信号処理デバイスの消費電力を削減し、チップ面積を小さくしようとする技術が注目されている。その中でも、入力アナログデータとリファレンスアナログデータとの差分の絶対値和を演算し、最も小さいベクトルを検出するアナログ連想メモリ(Analog Content Addressable Memory: CAM)は、画像の特徴抽出や動き検出等で用いられるテンプレートマッチングの手法において高速な演算処理を可能にする手段として注目されている。

【0004】アナログ連想メモリでは、並列処理が可能である。このために、検索時間はデータエリアの大きさに依存しなくなり、リファレンスデータエリアが大きくなる程、デジタル信号処理と比較した場合の計算時間

が速くなるという利点がある。

【0005】従来のアナログ連想メモリは、図18に示すように、スタックゲート型NMOSTランジスタSTR51及びSTR52をアナログ演算素子として用いており、そのコントロールゲートとランジスタチャンネル間に形成されるキャパシタを利用して、入力データとリファレンスデータとの差分をアナログ値で求めている。

【0006】1)ISSCC 1997 TP2.4 P44

2)IEDM1994 P449

3)IEEE Micro October 1996 P20

4)IEDM 1997 P337

すなわち、スタックゲート型MOSトランジスタは、図19に示すように、N型基板上51のPウェル52に、ドレイン53とソース54を形成し、これに対して、フローティングゲート55と、コントロールゲート56とを設けたものである。このスタックゲート型MOSトランジスタのコントロールゲート55とトランジスタチャンネル間はキャパシタとして働き、このキャパシタの電荷のチャージ量Qchは、図20に示すように、 $(V_g - V_t)$ に比例する。

【0007】ここで、 V_g はコントロールゲート56の電位、 V_t はトランジスタのスレショルド電圧である。また、図20において、横軸はコントロールゲート56の電位、縦軸はコントロールゲートとトランジスタチャンネル間のキャパシタの電荷のチャージ量を示している。

【0008】よって、コントロールゲート電位 V_g を入力データのアナログ値、フローティングゲートへの注入電荷によって決まる V_t をストアされるリファレンスデータのアナログ値に対応させれば、入力データとリファレンスデータとのアナログ値の差分がコントロールゲート55とトランジスタチャンネル間に形成されるキャパシタの電荷のチャージ量Qchとして得られる。

【0009】ここで、入力データのレベルを V_{in} 、ストアされているリファレンスデータのレベルを V_{store} とすると、スレショルド値 V_t が最小値 V_{tmin} であったときには、コントロールゲート電位 V_g 及びスレショルド電圧 V_t は、

$$V_g = V_{tmin} - V_{in}$$

$$V_t = V_{tmin} - V_{store}$$

となり、差分値

$$V_g - V_t = V_{in} - V_{store}$$

となる。

【0010】しかしながら、このとき差分値が得られるのは、コントロールゲート電位 V_g がスレショルド電圧 V_t より大きい($V_g \geq V_t$)場合のみである。コントロールゲート電位 V_g がスレショルド電圧 V_t より小さい($V_g < V_t$)場合には、演算が行なえない。

【0011】そこで、コントロールゲート電位 V_g がスレショルド電圧 V_t より小さい($V_g < V_t$)場合でも

演算が可能となるように、図18に示すように、相補的に2つのスタックゲート型トランジスタSTR51及びSTR52が用意される。

【0012】そして、一方のスタックゲート型トランジスタSTR51には、

$$V_t = V_{tmin} + V_{store}$$

となるように、リファレンスデータがストアされ、コントロールゲート電位 V_g がスレショルド電圧 V_t より大きい($V_g > V_t$)場合に、

$$V_g - V_t = V_{in} - V_{store}$$

として、差分のアナログ値に相当するチャージ量Qchが得られる。

【0013】他方のスタックゲート型トランジスタSTR52には、

$$V_t' = V_{tmax} - V_{store}$$

(V_{tmax} は V_t の最大値)となるようにリファレンス信号がストアされる。これにより、コントロールゲートへの印加電圧は、

$$V_g' = V_{tmax} + V_{in}$$

となり、コントロールゲート電位 V_g がスレショルド電圧 V_t より小さい($V_g < V_t$)場合に、

$$V_t' - V_g = V_{store} - V_{in}$$

として、差分のアナログ値に相当するチャージ量Qchが得られる。

【0014】これにより、 V_{in} 、 V_{store} の大きさに関わらず、差分絶対値和

$$|V_{in} - V_{store}|$$

に相当するチャージ量Qchが得られる。

【0015】このように、チャージ量Qchとして得られたリファレンスデータと入力データとの差分のアナログ値は、演算増幅器OP51、キャパシタC51、リセット用のスイッチS51とからなる積分器61により電圧値に変換されて取り出される。

【0016】このように、2つのスタックゲート型トランジスタSTR51及びSTR52からなるアナログ演算素子AF、AF、…は、図21に示すように、マトリクス状に配設される。この各アナログ演算素子AF、AF、…で、リファレンスデータと入力データとの差分がチャージ量Qchとして求められ、行毎に演算増幅器OP51とキャパシタC51によって構成される積分器61に供給される。各アナログ演算素子によって演算された差分絶対値に対応するチャージ量Qchは、この積分器により加算され、その差分絶対値和は、行毎に電圧値として出力される。

【0017】積分器61の出力値は、後段に配されたWTA(Winner Take All)回路62、PQ(Priority Queue)回路63、出力ROM64を通じて、最終的には、最も差分の絶対値和が小さいアドレスが出力される。

【0018】このように、メモリアレイの行方向にリフ

ァレンスペクトルを形成して、列方向により入力ベクトルに対応した信号を印加すれば、最も距離の小さいベクトルの検索を高速に行なうことができる。

【0019】

【発明が解決しようとする課題】ところが、従来のアナログ連想メモリでは、演算の信号源として、コントロールゲートとトランジスタチャンネル間に形成されるキャパシタの電荷のチャージ量 Q_{ch} を利用している。このような電荷は、トランジスタ若しくは配線部の寄生容量の影響を受けやすく、信号のダイナミックレンジを劣化させる原因となる。また、これらの寄生容量は、素子の微細化と共に顕著になるので、将来的な大容量、高集積化には不利になる。

【0020】したがって、この発明の目的は、配線部の寄生容量等の影響を受けずに、精度の良い演算が行なえるアナログ連想メモリ及びアナログ演算素子を提供することにある。

【0021】

【課題を解決するための手段】請求項1の発明は、第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、アナログ演算素子は、カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子を設けるように構成されており、アナログ記憶素子に第2のアナログデータに対応する値を記憶させ、差動増幅回路の他方の入力に第1のアナログデータに対応する値を与え、差動増幅回路により第2のアナログデータに対応する値と第1のアナログデータに対応する値との差分に対応する値を出力させるようにしたアナログ連想メモリである。

【0022】請求項3の発明は、カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子を設け、アナログ記憶素子に第2のアナログデータに対応する値を記憶させ、差動増幅回路の他方の入力に第1のアナログデータに対応する値を与え、差動増幅回路により第2のアナログデータに対応する値と第1のアナログデータに対応する値との差分に対応する値を出力させるようにしたアナログ演算素子である。

【0023】請求項5の発明は、第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、アナログ演算素子は、MOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と、第1のMOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、MOSTランジスタのゲートから導出された第1の入力端子と、スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、カレントミラー型の負荷回路とスタックゲート型MOST

ランジスタとの接続点から導出された出力端子とを備え、スタックゲート型MOSTランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、第1の入力端子に第1のアナログデータに応じた値を印加し、第2の入力端子に所定の電位を印加し、出力端子から第2のアナログデータの値と第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ連想メモリである。

【0024】請求項11の発明は、MOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と、第1のMOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、MOSTランジスタのゲートから導出された第1の入力端子と、スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、カレントミラー型の負荷回路とスタックゲート型MOSTランジスタとの接続点から導出された出力端子とを備え、スタックゲート型MOSTランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、第1の入力端子に第1のアナログデータに応じた値を印加し、第2の入力端子に所定の電位を印加し、出力端子から第2のアナログデータの値と第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ演算素子である。

【0025】請求項15の発明は、第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、アナログ演算素子は、第1のMOSTランジスタと第2のMOSTランジスタとからなる差動増幅回路と、第1のMOSTランジスタと第2のMOSTランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、第2のMOSTランジスタのゲートに対するソースフォロウ回路を構成するスタックゲート型MOSTランジスタと、第1のMOSTランジスタのゲートから導出された第1の入力端子と、スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、スタックゲート型MOSTランジスタのドレインから導出された第3の入力端子と、カレントミラー型の負荷回路と第2のMOSTランジスタとの接続点から導出された出力端子とを備え、スタックゲート型MOSTランジスタのスレショルド電圧を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、第1の入力端子に第1のアナログデータに応じた値を印加し、第2の入力端子に所定の電位を印加し、出力端子から第2のアナログデータの値と第1のアナログデータの値と差分に対応する電流を出力さ

せるようにしたアナログ連想メモリである。

【0026】請求項21の発明は、第1のMOSTランジスタと第2のMOSTランジスタとからなる差動増幅回路と、第1のMOSTランジスタと第2のMOSTランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、第2のMOSTランジスタのゲートに対するソースフォロ回路を構成するスタックゲート型MOSTランジスタと、第1のMOSTランジスタのゲートから導出された第1の入力端子と、スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、スタックゲート型MOSTランジスタのドレインから導出された第3の入力端子と、カレントミラー型の負荷回路と第2のMOSTランジスタとの接続点から導出された出力端子とを備え、スタックゲート型MOSTランジスタのスレショルド電圧を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、第1の入力端子に第1のアナログデータに応じた値を印加し、第2の入力端子に所定の電位を印加し、出力端子から第2のアナログデータの値と第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ演算素子。

【0027】請求項25の発明は、第1のアナログデータと第2のアナログデータとの差分を求めるアナログ演算素子をマトリクス状に配列するようにしたアナログ連想メモリにおいて、アナログ演算素子は、MOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と、第1のMOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と基準電位間に接続されたカレントミラー型の負荷回路と、スタックゲート型MOSTランジスタのフローティングゲートとMOSTランジスタとの間に設けられたスイッチングトランジスタと、MOSTランジスタのゲートから導出された第1の入力端子と、スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、カレントミラー型の負荷回路とスタックゲート型MOSTランジスタとの接続点から導出された出力端子とを備え、スイッチングトランジスタを介してスタックゲート型MOSTランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、第1の入力端子に第1のアナログデータに応じた値を印加し、第2の入力端子に所定の電位を印加し、出力端子から第2のアナログデータの値と第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ連想メモリである。

【0028】請求項30の発明は、MOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と、第1のMOSTランジスタとスタックゲート型MOSTランジスタとからなる差動増幅回路と基準

電位間に接続されたカレントミラー型の負荷回路と、スタックゲート型MOSTランジスタのフローティングゲートとMOSTランジスタとの間に設けられたスイッチングトランジスタと、MOSTランジスタのゲートから導出された第1の入力端子と、スタックゲート型MOSTランジスタのコントロールゲートから導出された第2の入力端子と、カレントミラー型の負荷回路とスタックゲート型MOSTランジスタとの接続点から導出された出力端子とを備え、スイッチングトランジスタを介してスタックゲート型MOSTランジスタのフローティングゲート電位を、所定の電位をコントロールゲートに印加したときに第2のアナログデータの値になるように設定しておき、第1の入力端子に第1のアナログデータに応じた値を印加し、第2の入力端子に所定の電位を印加し、出力端子から第2のアナログデータの値と第1のアナログデータの値と差分に対応する電流を出力させるようにしたアナログ演算素子である。

【0029】カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子が設けられ、このアナログ記憶素子にリファレンスアナログデータに対応する値が記憶され、差動増幅回路の他方の入力に、入力アナログデータに対応する値が与えられ、この差動増幅回路によりリファレンスアナログデータに対応する値と入力アナログデータに対応する値との差分に対応する値が出力されるようなアナログ演算素子をマトリクス状に配設して、アナログ連想メモリが構成される。このようなアナログ連想メモリを用いると、構成が簡単で、精度良く、高速に、リファレンスデータと入力データとの差分の絶対値和を求めることができる。

【0030】

【発明の実施の形態】この発明の実施の形態について、以下の順序で図面を参照して説明する。

【0031】1. アナログ連想メモリの第1の実施形態
1-1. アナログ連想メモリの第1の実施形態の全体構成

1-2. アナログ演算素子の第1の例

1-3. アナログ演算素子の第1の例の動作

1-4. アナログ連想メモリの第1の実施形態の変形例

1-5. 電流-電圧変換回路の一例

1-6. 差分の絶対値和を求めるための回路の一例

2. アナログ連想メモリの第2の実施形態

2-1. アナログ連想メモリの第2の実施形態の全体構成

2-2. アナログ演算素子の第2の例

2-3. アナログ演算素子の第2の例の動作

2-4. アナログ連想メモリの第2の実施形態の変形例

3. アナログ連想メモリの第3の実施形態

3-1. アナログ連想メモリの第3の実施形態の全体構成

3-2. アナログ演算素子の第3の例

3-3. アナログ演算素子の第3の例の動作

3-4. アナログ連想メモリの第3の実施形態の変形例
4. 応用例。

【0032】1. アナログ連想メモリの第1の実施形態
1-1. アナログ連想メモリの第1の実施形態の全体構成

図1は、この発明が適用されたアナログ連想メモリの第1の実施の形態を示すものである。図1において、 $A_{11} \sim A_{mn}$ はアナログ演算素子である。アナログ演算素子 $A_{11} \sim A_{mn}$ は、アナログ値のリファレンスデータとアナログ値の入力データとの差分をアナログ値で求めるアナログ演算素子である。

【0033】各アナログ演算素子 $A_{11} \sim A_{mn}$ は、図2に示すように、NMOSTランジスタ TR_1 、 TR_2 、 TR_3 、 TR_4 と、スタックゲート型のNMOSTランジスタ STR_1 とから構成されている。

【0034】すなわち、図2は、図1におけるアナログ演算素子 A_{11} 、 A_{12} 、 \dots 、 A_{21} 、 A_{22} 、 \dots の部分を詳細に示したものである。図2のアナログ演算素子 A_{11} 、 A_{12} 、 \dots 、 A_{21} 、 A_{22} 、 \dots において、NMOSTランジスタ TR_1 と、スタックゲート型ランジスタ STR_1 とから差動増幅回路が構成される。このランジスタ TR_1 及びスタックゲート型ランジスタ STR_1 とからなる差動増幅回路と、電源ラインとの間に、素子を選択するためのランジスタ TR_4 が接続される。また、ランジスタ TR_1 及びスタックゲート型ランジスタ STR_1 とからなる差動増幅回路と接地間に、ランジスタ TR_2 とランジスタ TR_3 とからなるカレントミラー回路が接続される。

【0035】ランジスタ TR_1 のゲートからは、データを入力するための端子 IN_1 が導出される。スタックゲート型ランジスタ STR_1 のコントロールゲートからは、リファレンスデータを記憶させるための端子 IN_2 が導出される。スタックゲート型ランジスタ STR_1 とランジスタ TR_3 との接続点からは、電流出力を得るための端子 OUT_1 が導出される。なお、端子 OUT_1 は、リファレンスデータの書き込み時にバイアス電圧を印加するのにも用いられる。ランジスタ TR_4 のゲートからは、素子を選択するための端子 IN_3 が導出される。

【0036】図1に示すように、アナログ演算素子 $A_{11} \sim A_{mn}$ は、 $(m \times n)$ の2次元マトリクス状に配設される。行方向に並ぶアナログ演算素子 $A_{11} \sim A_{m1}$ 、 $A_{12} \sim A_{m2}$ 、 $A_{1n} \sim A_{mn}$ から導出される端子 IN_1 は、入力データライン $SL_1 \sim SL_n$ に夫々接続される。また、行方向に並ぶアナログ演算素子 $A_{11} \sim A_{m1}$ 、 $A_{12} \sim A_{m2}$ 、 $A_{1n} \sim A_{mn}$ から導出される端子 IN_2 は、リファレンスデータライン $RL_1 \sim RL_n$ に夫々接続される。

【0037】列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 OUT_1 は、データライン $DL_1 \sim DL_m$ に夫々接続される。また、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 IN_3 は、セレクトライン $SWL_1 \sim SWL_m$ に夫々接続される。

【0038】データライン $DL_1 \sim DL_m$ の終端には、電流-電圧変換回路 CV_1 、 CV_2 、 \dots 、 CV_m が夫々接続される。電流-電圧変換回路 $CV_1 \sim CV_m$ により、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ の電流出力が夫々加算され、電圧出力に変換される。

【0039】電流-電圧変換回路 $CV_1 \sim CV_m$ の出力がWTA (Winner Take All) 回路1に供給される。WTA回路1の出力がPQ (Priority Que) 回路2に供給される。PQ回路2の出力がROM回路3に供給される。ROM3の出力が出力端子4から出力される。

【0040】図1に示すアナログ連想メモリにおいて、画像の特徴抽出や動きベクトルの検出等の信号処理を行なう場合には、アナログ値のリファレンスデータは、ベクトル $(DR_{m1}, DR_{m2}, \dots, DR_{mn})$ を形成して、各アナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ に記憶される。

【0041】リファレンスデータが各アナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ に記憶されたら、入力信号ベクトル $(DI_1, DI_2, \dots, DI_m)$ が入力データライン $SL_1 \sim SL_n$ を通じて供給される。

【0042】画像の特徴抽出や動きベクトルの検出等の信号処理を行なう場合には、選択された列のアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ で、入力データ $(DI_1, DI_2, \dots, DI_n)$ と、リファレンスデータ $(DR_{m1}, DR_{m2}, \dots, DR_{mn})$ との差分が求められる。この各列のアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ の入力データと、リファレンスデータとの差分の値が加算され、この差分値の和が電流-電圧変換回路 CV_1 、 CV_2 、 \dots 、 CV_m から出力される。

【0043】電流-電圧変換回路 CV_1 、 CV_2 、 \dots 、 CV_m の出力がWTA回路1、PQ (Priority Que) 回路2、ROM回路3に供給され、これらの入力データとリファレンスデータとの差分の絶対値和が最小となるアドレスが求められる。この入力データとリファレンスデータとの差分の絶対値和が最小となるアドレスから、動きベクトルの検出や画像の特徴抽出が行なわれる。

【0044】1-2. アナログ演算素子の第1の例
このように、図1及び図2に示すアナログ連想メモリでは、ランジスタ $TR_1 \sim TR_4$ と、スタックゲート型ランジスタ STR_1 とから構成されているアナログ演算素子 $A_{11} \sim A_{mn}$ がマトリクス状に配列される。こ

これらのアナログ演算素子A11~Amnにより、入力データとリファレンスデータとの差分が求められる。このようにして求められた入力データとリファレンスデータとの差分の和から、画像の特徴抽出や動きベクトルの算出が行なわれる。

【0045】このように、入力データとリファレンスデータとの差分を求めるアナログ演算素子A11~Amnの構成について、更に詳述する。

【0046】図3は、アナログ演算素子の構成の第1の例を示すものである。図3に示すように、このアナログ演算素子は、差動増幅回路のポジティブ側のトランジスタを、スタックゲート型トランジスタSTR1で置き換えたような構成となっている。なお、差動増幅回路のポジティブ側を構成するスタックゲート型トランジスタSTR1と、差動増幅回路のネガティブ側を構成するトランジスタTR1は、チャンネル幅が同じサイズに設定される。

【0047】スタックゲート型トランジスタSTR1は、図4に示すように、N型基板11上のPウェル12に、ドレイン13とソース14を形成し、フローティングゲート15と、コントロールゲート16とを設けたものである。このようなスタックゲート型トランジスタでは、コントロールゲート16に印加される電圧に応じて、フローティングゲート15の電荷の出し入れをして、フローティングゲート15の電位を設定して、保持しておくことができる。

【0048】図3において、スタックゲート型トランジスタSTR1と、トランジスタTR1とから構成される差動増幅回路では、ネガティブ側のトランジスタTR1のゲート電位Viと、スタックゲート型トランジスタSTR1のフローティングゲート電位Vfとが一致したときに、トランジスタTR1の電流能力とスタックゲート型トランジスタSTR1の電流能力とが等しくなり、差動増幅回路の電流出力は「0」になる。したがって、スタックゲート型トランジスタSTR1のフローティングゲート電位VfとトランジスタTR1のゲート電位Viとの差($V_f - V_i$)に応じた電流出力IoutをノードNoutから得ることができる。

【0049】したがって、例えば、スタックゲート型トランジスタSTR1のコントロールゲートに電源電圧Vddを印加したときのフローティングゲート電位VfがリファレンスデータVrに対応するように電流の注入量をコントロールすれば、スタックゲート型トランジスタSTR1はリファレンスデータを蓄えるアナログメモリとして機能するようになる。

【0050】このように、トランジスタTR1~TR4と、スタックゲート型トランジスタSTR1とから構成されているアナログ演算素子では、スタックゲート型トランジスタSTR1にリファレンスデータを記憶しておき、トランジスタTR1に入力データを与えることによ

り、入力データとリファレンスデータとの差分に応じた電流出力を得ることができる。

【0051】1-3. アナログ連想メモリの第1の例の動作

次に、図1及び図2に示したアナログ連想メモリの各アナログ演算素子A11~Amnにリファレンスデータを書き込む場合の動作について説明する。

【0052】図1及び図2に示したアナログ連想メモリの各アナログ演算素子A11~Amnでは、リファレンスデータが書き込まれる前に、消去モードに設定される。消去モードでは、リファレンスラインRL1、RL2、…に、20V程度の消去用高電圧Veが供給される。

【0053】リファレンスラインRL1、RL2、…に高電圧Veが供給されると、この高電圧Veは、端子IN2を介して、アナログ演算素子A11~Amnのスタックゲート型トランジスタSTR1のコントロールゲートに印加されることになる。スタックゲート型トランジスタSTR1のコントロールゲートに消去用高電圧Veが印加されると、トランジスタの基板よりスタックゲート型トランジスタSTR1のフローティングゲートに電子が注入され、フローティングゲートの電位は負の電位にシフトする。

【0054】なお、この時、入力データラインSL1、SL2、…は0Vとされると共に、セレクトラインSWL1、SW2、SW3、…は0Vとされ、トランジスタTR1及びTR4はオフされる。また、データラインDLmも0Vとされる。

【0055】データを消去した状態では、スタックゲート型トランジスタSTR1のフローティングゲートの電位は負の電位に大きくシフトしているため、コントロールゲートに電圧Vddが印加されても、スタックゲート型トランジスタSTR1のチャネルはオフのままであり、電流は導通しない。

【0056】次に、書き込みモードに設定される。書き込みモードでは、リファレンスデータラインRL1、RL2、…により、アナログ演算素子A11~A1n、A21~A2n、…、Am1~Amnのスタックゲート型トランジスタSTR1のコントロールゲートに、-10V程度の負電圧が印加される。そして、その状態で、データラインDL1、DL2、…により、スタックゲート型トランジスタSTR1のソース拡散層に相当するノードに、6V程度の電位が印加される。

【0057】このようなバイアス電圧が与えられると、スタックゲート型トランジスタSTR1のフローティングゲート中の電子はソース拡散層に引き抜かれることになり、フローティングゲート電位Vfは正にシフトしてくる。

【0058】なお、ここで、バイアス印加時は、入力データラインSL1、SL2、…及びセレクトラインSW

L1、SW2、…が0Vとされ、トランジスタTR1、TR4はオフされ、ノードN1、N2（図3参照）はオープン状態とされ、各配線間の貫通電流が防止される。

【0059】また、設定上、ノードNoutと接地間を、トランジスタTR3を介して貫通電流が流れ得る場合は、トランジスタTR3と接地間に貫通電流防止用のトランジスタを設けるようにしても良い。

【0060】書き込み時には、書き込みのレベルを判定するために、書き込みモードとベリファイモードとが交互に繰り返される。このようなベリファイ動作により、フローティングゲートの電位がリファレンスデータに相当する所望の書き込みレベルに精度良く合致される。

【0061】すなわち、ベリファイモードでは、入力データラインSL1、SL2、…により、ネガティブ側入力トランジスタTR1のゲートに、スタックゲート型トランジスタSTR1のフローティングゲートに記憶すべきアナログ電位 V_r が印加される。そして、リファレンスデータラインRL1、RL2、…により、スタックゲート型トランジスタSTR1のコントロールゲートに電源電圧 V_{dd} が印加される。セレクトラインSWL1、SWL2、…により、選択された列のトランジスタTR4がオンされる。これにより、トランジスタTR1とスタックゲート型トランジスタSTR1との差動増幅回路が動作される。

【0062】この場合、ネガティブ側入力トランジスタTR1のゲートにはスタックゲート型トランジスタSTR1のフローティングゲートに記憶すべきアナログ電位 V_r が印加されているので、 V_r に相当する電位がスタックゲート型トランジスタSTR1のフローティングゲートに書き込まれると、トランジスタTR1とスタックゲート型トランジスタSTR1との電流能力は等しくなり、出力電流は「0」となる。スタックゲート型トランジスタSTR1のフローティングゲートの電位が V_r より低ければ、出力電流は負（電流を取り込む）となる。スタックゲート型トランジスタSTR1のフローティングゲートの電位が V_r より高ければ、出力電流は正（電流を出力する）になる。

【0063】スタックゲート型トランジスタSTR1のフローティングゲートへの最初の書き込みでは、書き込みは十分ではなく、フローティングゲートの電位は V_r より低くなり、ベリファイを行なうと出力電流は負となる。

【0064】ベリファイ時に出力電流が負のときには、書き込みモードに再設定され、書き込みバイアスが印加され、スタックゲート型トランジスタSTR1のフローティングゲートへの書き込みが行なわれる。

【0065】次の書き込みで、ベリファイを行なったときに、書き込みは十分ではなく、出力電流が負となっていたら、再び書き込みモードに設定され、書き込みバイアスが印加され、スタックゲート型トランジスタSTR

1のフローティングゲートへの書き込みが行なわれる。

【0066】以下、同様にして、書き込みバイアスが繰り返して印加され、その度にベリファイが行なわれる。

【0067】このように書き込みを繰り返していくと、スタックゲート型トランジスタSTR1のフローティングゲート電位が徐々に上昇し、フローティングゲートの電位はやがて V_r に達する。そして、フローティングゲート電位がリファレンスデータの電位 V_r よりも高くなると、ベリファイ時の出力電流は負から正に変わる。

【0068】ベリファイ時の出力電流は負から正に変わったら、フローティングゲートの電位が V_r に達したとして、書き込みが終了される。

【0069】このように、書き込みを繰り返しながらベリファイを行い、出力電流が負から正に変化する点を検出して書き込みを終了させるようにすれば、コントロールゲートに電圧 V_{dd} を印加時のスタックゲート型トランジスタSTR1のフローティングゲートの電位をリファレンスデータの電位 V_r に略等しく設定することができる。

【0070】このようにしてスタックゲート型トランジスタSTR1のフローティングゲートの電位に、リファレンスデータの電位 V_r に相当する電位が書き込まれたら、演算モードに設定することができる。

【0071】演算モードでは、入力データラインSL1、SL2、…に、入力データに相当するアナログ電位 V_i が印加される。この電位 V_i は、端子IN1を介して、ネガティブ側入力トランジスタTR1のゲートに印加される。また、リファレンスデータラインRL1、RL2、…に、電源電圧 V_{dd} が供給される。この電源電圧 V_{dd} は、端子IN2を介して、スタックゲート型トランジスタSTR1のコントロールゲートに印加される。そして、セレクトラインSWL1、SWL2、…により、選択された列のトランジスタTR4がオンされる。

【0072】上述したように、スタックゲート型トランジスタSTR1のフローティングゲートには、リファレンスデータに依じたアナログ電位 V_r が記憶されている。このため、トランジスタTR1と、スタックゲート型トランジスタSTR1とからなる差動増幅回路により、リファレンスアナログデータ V_r と入力アナログデータ V_i との差分に応じた電流出力が得られる。

【0073】1-4. アナログ連想メモリの第1の実施形態の変形例

なお、上述の例では、アナログ連想メモリを構成する各アナログ演算素子には、1つのリファレンスデータを記憶しているが、複数のリファレンスデータを記憶できるようにしても良い。すなわち、図2に示す例では、リファレンスデータのメモリとなるトランジスタは1つスタックゲート型トランジスタSTR1であったが、図5に示す例では、リファレンスデータのメモリとなる3つのスタックゲート型トランジスタSTR1a、STR1

b、STR1cを並列に接続するようにしている。このように、1つの差動増幅回路に対して3つのスタックゲート型トランジスタSTR1a、STR1b、STR1cを設けると、1つの差動増幅回路に対して、3つのリファレンスデータを保持することが可能となる。このようにすると、リファレンスデータラインRL1a、RL1b、RL1cにより、随時、演算すべきリファレンスデータを選択することができる。

【0074】1-5. 電流-電圧変換回路の一例
次に、図1における電流-電圧変換回路CV1、CV2、CV3、…の構成について説明する。

【0075】図1に示したように、入力データは、列毎に、入力信号ベクトル(DI1、DI2、…、DIn)として、入力データラインSL1、SL2、…、SLnを通じて供給される。そして、列毎に、アナログ演算素子A11~A1n、A21~A2n、…、Am1~Amnで演算が行なわれる。アナログ演算素子A11~A1n、A21~A2n、…、Am1~Amnでは、演算出力が電流値で出力され、この電流値は、電圧-電流変換回路CV1、CV2、CV3、…で加算されて電圧値に変換される。この電圧-電流変換回路CV1、CV2、CV3、…は、図6に示すように構成できる。

【0076】図6では、図1におけるアナログ演算メモリにおいて、同一列に並ぶ演算素子A11~A1nが示されている。この同一列に並ぶアナログ演算素子A11~A1nの端子OUT1は、データラインDL1に接続されており、アナログ演算素子A11~A1nの端子OUT1からの電流出力は、データラインDL1に供給される。

【0077】電流-電圧変換回路CV1は、演算増幅器OP1と帰還抵抗R1とから構成されている。データラインDL1の出力が演算増幅器OP1の反転入力端子に供給される。演算増幅器OP1の非反転入力端子には電圧Vbが印加される。演算増幅器OP1の出力が抵抗R1を介して演算増幅器OP1の反転入力端子に帰還される。

【0078】このような構成では、データラインDL1に、同一列のアナログ演算素子A11~A1nの端子OUT1からの出力電流を加算した電流が流れる。そして、演算増幅器OP1の出力は、抵抗R1を介して、演算増幅器OP1の反転入力端子に帰還され、演算増幅器OP1の非反転入力端子には、差動増幅回路の出力を固定する電圧Vbが与えられる。したがって、演算増幅器OP1からは、アナログ演算素子A11~A1nの出力電流を加算した値に相当する電圧出力が得られる。

【0079】1-6 差分の絶対値和を求めるための回路の一例

ところで、図6の例では、電流-電圧変換回路CV1からは、アナログ演算素子A11、A12、…、A1nのコントロールゲートに記憶されている電位vf1、vf2、

vf3、…と、入力アナログデータの電位vi1、vi2、vi3、…との差分の和($\sum (vfn - vin)$)が出力される。ところが、画像の動きベクトルや特徴抽出の処理では、厳密には、差分の絶対値和($\sum |vfn - vin|$)を求める必要がある。

【0080】図7は、リファレンスデータと入力データとの差分の絶対値和を求めることができるようにしたものである。図7では、図1におけるアナログ連想メモリから、同一列に並ぶアナログ演算素子A11~A1nの部分が示されている。図1に示した例では、各データの差分を求めるためのアナログ演算素子は、各要素について1つ配設されていたが、この例では、差分の絶対値を求めるために、各要素について2つのアナログ演算素子が互いに逆極性で設けられる。

【0081】すなわち、同一列に並ぶアナログ演算素子として、アナログ演算素子A11a及びA11b、A12a及びA12b、…、A1na及びA1nbが設けられる。

【0082】各データについて的一方のアナログ演算素子A11a~A1naの端子IN1は、入力データラインSL1~SLnに夫々接続され、端子IN2はリファレンスデータラインRL1~RLnに夫々接続される。アナログ演算素子A11a~A1naの端子OUT1は、スイッチ回路Sa11~Sa1nに接続される。

【0083】これに対して、各データについての他方のアナログ演算素子A11b~A1nbの端子IN1は、リファレンスデータラインRL1~RLnに夫々接続され、端子IN2は入力データラインSL1~SLnに夫々接続される。アナログ演算素子A11b~A1nbの端子OUT1は、スイッチ回路Sb11~Sb1nに夫々接続される。

【0084】スイッチ回路Sa11~Sa1nの夫々の端子bは、書き込みラインW1に接続される。スイッチ回路Sa11~Sa1nの夫々の端子aは、カレントミラー回路CM11a~CM1naの入力側に接続される。スイッチ回路Sb11~Sb1nの夫々の端子bは、書き込みラインW1に接続される。スイッチ回路Sb11~Sb1nの夫々の端子aは、カレントミラー回路CM11b~CM1nbの入力側に接続される。

【0085】各データについての2つのカレントミラー回路CM11a及びCM11b~CM1na及びCM1nbの出力側は、共にデータラインDL1に接続される。データラインDL1の終端に、電流-電圧変換回路CV1が設けられる。

【0086】カレントミラー回路CM11a~CM1naは、PMOSTランジスタTR6及びTR7から構成される。トランジスタTR6及びTR7のソースが電源ラインに接続される。トランジスタTR6のゲートとTR7のゲートとが接続されると共に、この接続点がトランジスタTR6のドレインに接続される。このトランジ

スタTR6のドレインと、トランジスタTR6及びTR7のゲートとの接続点がカレントミラー回路の入力側となる。また、トランジスタTR7のドレインがカレントミラー回路の出力側となる。

【0087】カレントミラー回路CM11b~CM1nbは、PMOSTランジスタTR8及びTR9から構成される。トランジスタTR8及びTR9のソースが電源ラインに接続される。トランジスタTR8のゲートとTR9のゲートとが接続されると共に、この接続点がトランジスタTR8のドレインに接続される。このトランジスタTR8のドレインと、トランジスタTR8及びTR9のゲートとの接続点がカレントミラー回路の入力側となる。また、トランジスタTR9のドレインがカレントミラー回路の出力側となる。

【0088】このように構成されるカレントミラー回路CM11a~CM1na、CM11b~CM1nbでは、その入力側が正（電流を流出する）場合にのみ、入力側の電流と等しい電流が出力側から出力される。

【0089】演算モードでは、スイッチ回路Sa11~Sa1n及びスイッチ回路Sb11~Sb1nは、全て、a側に設定される。したがって、各データについて一方のアナログ演算素子A11a~A1naの出力は、スイッチ回路Sa11~Sa1nを介して、カレントミラー回路CM11a~CM1naに供給される。他方のアナログ演算素子A11b~A1nb出力は、スイッチ回路Sb11~Sb1nを介して、カレントミラー回路CM11b~CM1nbに供給される。

【0090】各データについて一方のカレントミラー回路CM11a~CM1naは、アナログ演算素子A11a~A1naの出力電流が正のときにのみ、アナログ演算素子A11a~A1naの出力電流に応じた電流をデータラインDL1に出力する。また、各データについて他方のカレントミラー回路CM11b~CM1nbは、アナログ演算素子A11b~A1nbの出力電流が正の場合にのみ、アナログ演算素子A11b~A1nbの出力電流に応じた電流をデータラインDL1に出力する。

【0091】このように、1つのデータについて、互いに逆極性で2つのアナログ演算素子A11a~A1na及びA11b~A1nbを設けると共に、これらのアナログ演算素子A11a~A1na及びA11b~A1nbに対して、正の電流出力のときのみ動作する2つのカレントミラー回路CM11a~CM1na及びCM11b~CM1nbを設けることにより、差分の絶対値和が得ることができる。

【0092】なお、書き込みモードでは、各アナログ演算素子A11a~A1na及びA11b~A1nbに、そのスタックゲート型トランジスタSTRのソース拡散層に、6V程度のバイアス電圧を印加する必要がある。このため、スイッチ回路Sa11~Sa1n、Sb11

~Sb1nが設けられる。そして、書き込みモードでは、書き込みラインW1を介して、書き込み時に必要な6V程度のバイアス電圧が印加できるようになっている。

【0093】2. アナログ連想メモリの第2の実施形態
2-1. アナログ連想メモリの第2の実施形態の全体構成

図8は、この発明が適用されたアナログ連想メモリの第2の実施形態を示すものである。図8において、前述の第1の実施形態と同一部分については、同一の符号が付されている。

【0094】この例では、アナログ演算素子A11~Amnは、図9に示すように、NMOSTランジスタTR11、TR12、TR13、TR14と、スタックゲート型NMOSTランジスタSTR11とから構成されている。

【0095】すなわち、図9は、図8におけるアナログ演算素子A11、A12、…、A21、A22、…の部分の詳細に示したものである。図9のアナログ演算素子A11、A12、…、A21、A22、…において、NMOSTランジスタTR11とTR15とから差動増幅回路が構成される。このトランジスタTR11及びTR15とからなる差動増幅回路と、電源ラインとの間に、素子を選択するためのトランジスタTR14が接続される。また、トランジスタTR11及びTR15とからなる差動増幅回路と接地間に、トランジスタTR12とトランジスタTR13とからなるカレントミラー回路が接続される。トランジスタTR15のゲートに、スタックゲート型NMOSTランジスタTR11のソースが接続される。

【0096】トランジスタTR11のゲートからは、データを入力するための端子IN11が導出される。スタックゲート型トランジスタSTR11のコントロールゲートからは、リファレンスデータを記憶させるための端子IN12が導出される。スタックゲート型トランジスタSTR11のドレインからは、書き込み信号を与えるための端子IN14が導出される。トランジスタTR15とトランジスタTR13との接続点からは、電流出力を得るための端子OUT11が導出される。トランジスタTR14のゲートからは、素子を選択するための端子IN13が導出される。

【0097】図8に示すように、アナログ演算素子A11~Amnは、(m×n)の2次元マトリクス状に配設される。行方向に並ぶアナログ演算素子A11~Am1、A12~Am2、A1n~Amnから導出される端子IN11は、入力データラインSL1~SLnに夫々接続される。また、行方向に並ぶアナログ演算素子A11~Am1、A12~Am2、A1n~Amnから導出される端子IN12は、リファレンスデータラインRL1~RLnに夫々接続される。

【0098】列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 OUT_{11} は、データライン $DL_1 \sim DL_m$ に夫々接続される。また、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 IN_{13} は、セレクトライン $SWL_1 \sim SWL_m$ に夫々接続される。

【0099】データライン $DL_1 \sim DL_m$ の終端には、電流-電圧変換回路 CV_1 、 CV_2 、 \dots 、 CV_m が夫々接続される。電流-電圧変換回路 $CV_1 \sim CV_m$ により、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ の電流出力が夫々加算され、電圧出力に変換される。

【0100】電流-電圧変換回路 $CV_1 \sim CV_m$ の出力が WTA 回路 1 に供給される。WTA 回路 1 の出力が PQ 回路 2 に供給される。PQ 回路 2 の出力が ROM 回路 3 に供給される。ROM 3 の出力が出力端子 4 から出力される。

【0101】図 8 に示すアナログ連想メモリにおいて、画像の特徴抽出や動きベクトルの検出等の信号処理を行なう場合には、アナログ値のリファレンスデータは、ベクトル (DR_{m1} 、 DR_{m2} 、 \dots 、 DR_{mn}) を形成して、各アナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ に記憶される。

【0102】リファレンスデータが各アナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ に記憶されたら、入力信号ベクトル (DI_1 、 DI_2 、 \dots 、 DI_m) が入力データライン $SL_1 \sim SL_n$ を通じて列毎に供給される。

【0103】画像の特徴抽出や動きベクトルの検出等の信号処理を行なう場合には、選択された列のアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ で、入力データ (DI_1 、 DI_2 、 \dots 、 DI_n) と、リファレンスデータ (DR_{m1} 、 DR_{m2} 、 \dots 、 DR_{mn}) との差分が求められる。この各列のアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ の入力データと、リファレンスデータとの差分の値が加算され、この差分値の和が電流-電圧変換回路 CV_1 、 CV_2 、 \dots 、 CV_m から出力される。

【0104】電流-電圧変換回路 CV_1 、 CV_2 、 \dots 、 CV_m の出力が WTA 回路 1、PQ 回路 2、ROM 回路 3 に供給され、これらの入力データとリファレンスデータとの差分の絶対値和が最小となるアドレスが求められる。この入力データとリファレンスデータとの差分の絶対値和が最小となるアドレスから、動きベクトルの検出や画像の特徴抽出が行なわれる。

【0105】2-2. アナログ演算素子の第 2 の例
このように、図 8 及び図 9 に示すアナログ連想メモリでは、トランジスタ $TR_{11} \sim TR_{15}$ と、スタックゲート型のトランジスタ STR_{11} とから構成されているア

ナログ演算素子 $A_{11} \sim A_{mn}$ がマトリクス状に配列される。これらのアナログ演算素子 $A_{11} \sim A_{mn}$ により、入力データとリファレンスデータとの差分が求められる。このようにして求められた入力データとリファレンスデータとの差分の和から、画像の特徴抽出や動きベクトルの算出が行なわれる。

【0106】このように、入力データとリファレンスデータとの差分を求めるアナログ演算素子 $A_{11} \sim A_{mn}$ の第 2 の例の構成について、更に詳述する。

【0107】図 10 は、アナログ演算素子の第 2 の例の構成を示すものである。図 10 に示すように、このアナログ演算素子は、差動増幅回路のポジティブ側のトランジスタ TR_{15} に、スタックゲート型トランジスタ STR_{11} からなるソースフォロワを付加した構成となっている。なお、差動増幅回路のポジティブ側を構成するトランジスタ TR_{15} と、差動増幅回路のネガティブ側を構成するトランジスタ TR_{11} は、チャンネル幅が同じサイズに設定される。

【0108】図 10 において、トランジスタ TR_{15} と、トランジスタ TR_{11} とから構成される差動増幅回路では、ネガティブ側のトランジスタ TR_{11} のゲート電位 V_i と、ポジティブ側のトランジスタ TR_{15} のゲート電位とが一致したときに、トランジスタ TR_{11} の電流能力とトランジスタ TR_{15} の電流能力とが等しくなり、差動増幅回路の電流出力は「0」になる。トランジスタ TR_{15} のゲート電位は、スタックゲート型トランジスタ STR_{11} のコントロールゲートに電源電圧 V_{dd} を印加したとすると、 $(V_{dd} - V_t)$ となる。なお、 V_t はスタックゲート型トランジスタ STR_{11} のスレショルド電圧である。したがって、電源電圧 V_{dd} とスレショルド電圧 V_t との差 $(V_{dd} - V_t)$ と、トランジスタ TR_{11} のゲート電位 V_i との差 $(V_{dd} - V_t - V_i)$ に応じた電流出力 I_{out} をノード N_{out} から得ることができる。

【0109】ここで、スタックゲート型 NMOS トランジスタ STR_{11} のソース側への出力電位 $(V_{dd} - V_t)$ をアナログ信号電位に対応させるようにすれば、スタックゲート型トランジスタ STR_{11} はリファレンスデータを蓄えるアナログメモリとして機能するようになる。

【0110】このように、トランジスタ $TR_{11} \sim TR_{15}$ と、スタックゲート型トランジスタ STR_{11} とから構成されているアナログ演算素子では、スタックゲート型トランジスタ STR_{11} にリファレンスデータを記憶しておき、トランジスタ TR_{11} に入力データを与えることにより、入力データとリファレンスデータとの差分に応じた電流出力を得ることができる。

【0111】2-3. アナログ連想メモリの第 2 の例の動作

次に、図 8 及び図 9 に示したこのアナログ連想メモリの

各アナログ演算素子A11~Amnにリファレンスデータを書き込む場合の動作について説明する。

【0112】図8及び図9に示したアナログ連想メモリの各アナログ演算素子A11~Amnでは、リファレンスデータが書き込まれる前に、消去モードに設定される。消去モードでは、リファレンスラインRL1、RL2、…に、20V程度の消去用高電圧Veが供給される。

【0113】リファレンスラインRL1、RL2、…に高電圧Veが供給されると、この高電圧Veは、端子IN12を介して、アナログ演算素子A11~Amnのスタックゲート型トランジスタSTR11のコントロールゲートに印加されることになる。スタックゲート型トランジスタSTR11のコントロールゲートに消去用高電圧Veが印加されると、トランジスタの基板よりスタックゲート型トランジスタSTR11のフローティングゲートに電子が注入され、フローティングゲートの電位は負の電位にシフトする。

【0114】なお、この時、入力データラインSL1、SL2、…は0Vとされると共に、セレクトラインSWL1、SWL2、…は0Vとされ、トランジスタTR11及びTR14はオフされる。

【0115】次に、書き込みモードに設定される。書き込みモードでは、リファレンスデータラインRL1、RL2、…により、アナログ演算素子A11~A1n、A21~A2n、…、Am1~Amnのスタックゲート型トランジスタSTR11のコントロールゲートに、-10V程度の負電圧が印加される。そして、その状態で、書き込みラインWL1、WL2、…により、スタックゲート型NMOSTランジスタSTR11のドレイン拡散層に6V程度の電位が印加される。

【0116】このようなバイアス電圧を与えると、スタックゲート型NMOSTランジスタSTR11のフローティングゲート中の電子はドレイン拡散層に引き抜かれることになり、スタックゲート型NMOSTランジスタSTR11のスレショルド電圧Vtは減少してくる。

【0117】書き込み時には、書き込みのレベルを判定するために、書き込みモードとベリファイモードとが交互に繰り返される。このようなベリファイ動作により、フローティングゲートの電位がリファレンスデータに相当する所望の書き込みレベルに精度良く合致される。

【0118】すなわち、ベリファイモードでは、入力データラインSL1、SL2、…により、ネガティブ側入力トランジスタTR11のゲートに、スタックゲート型トランジスタSTR11のフローティングゲートに記憶すべきアナログ電位Vrが印加される。そして、リファレンスデータラインRL1、RL2、…により、スタックゲート型トランジスタSTR11のコントロールゲートに電源電圧Vddが印加される。書き込みラインWL1、WL2、…により、スタックゲート型トランジスタ

STR1のドレインに電源電圧Vddが印加される。セレクトラインSWL1、SWL2、…により、選択された列のトランジスタTR14がオンされる。これにより、トランジスタTR11とスタックゲート型トランジスタSTR11との差動増幅回路が動作される。

【0119】この場合、ネガティブ側入力トランジスタTR11のゲートにはスタックゲート型トランジスタSTR11のフローティングゲートに記憶すべきアナログ電位Vrが印加されているので、 $(V_{dd}-V_t)$ がVrに相当するように、スタックゲート型トランジスタSTR11のスレショルド電圧Vtがなると、トランジスタTR11とトランジスタTR15との電流能力は等しくなり、出力電流は「0」となる。スタックゲート型トランジスタSTR11のスレショルド電圧Vtがそれより高ければ、出力電流は負（電流を取り込む）となる。スタックゲート型トランジスタSTR1のスレショルド電圧Vtがそれより低くなると、出力電流は正（電流を出力する）になる。

【0120】スタックゲート型トランジスタSTR1のフローティングゲートへの最初の書き込みでは、書き込みは十分ではなく、スレショルド電圧Vtは高いため、ベリファイを行なうと出力電流は負となる。

【0121】ベリファイ時に出力電流が負のときには、書き込みモードに再設定され、書き込みバイアスが印加され、スタックゲート型トランジスタSTR11のフローティングゲートへの書き込みが行なわれる。

【0122】次の書き込みで、ベリファイを行なったときに、書き込みは十分ではなく、出力電流が負となっていたら、再び書き込みモードに設定され、書き込みバイアスが印加され、スタックゲート型トランジスタSTR11のフローティングゲートへの書き込みが行なわれる。

【0123】以下、同様に、書き込みバイアスが繰り返して印加され、その度にベリファイが行なわれる。

【0124】このように書き込みを繰り返してしていくと、スタックゲート型トランジスタSTR11のスレショルド電圧Vtが下降していき、 $(V_{dd}-V_t)$ がVrに達する。そして、 $(V_{dd}-V_t)$ がVrより大きくなるまでスタックゲート型トランジスタSTR11のスレショルド電圧Vtが下降すると、ベリファイ時の出力電流は負から正に変わる。

【0125】ベリファイ時の出力電流は負から正に変わったなら、 $(V_{dd}-V_t)$ がVrと等しくなるような所まで、スタックゲート型トランジスタSTR11のスレショルド電圧Vtが下降したとして、書き込みが終了される。

【0126】このように、書き込みを繰り返しながらベリファイを行い、出力電流が負から正に変化する点を検出して書き込みを終了させるようにすれば、トランジスタTR15のゲート電圧 $(V_{dd}-V_t)$ をリファレンス

データの電位 V_r に略等しく設定することができる。

【0127】このようにしてスタックゲート型トランジスタSTR1のスレッシュド電圧 V_t を、 $(V_{dd}-V_t)$ が V_r と等しくなるような電圧に設定したら、演算モードに設定することができる。

【0128】演算モードでは、入力データラインSL1、SL2、…に、入力データに相当するアナログ電位 V_i が印加される。この電位 V_i は、端子IN11を介して、ネガティブ側入力トランジスタTR11のゲートに印加される。また、リファレンスデータラインRL1、RL2、…に、電源電圧 V_{dd} が供給される。この電源電圧 V_{dd} は、端子IN12を介して、スタックゲート型トランジスタSTR11のコントロールゲートに印加される。書き込みラインWL1、WL2、…に電源電圧 V_{dd} が供給される。この電源電圧 V_{dd} は、端子IN14を介して、スタックゲート型トランジスタ11のドレインに印加される。そして、セレクトラインSWL1、SWL2、…により、選択された列のトランジスタTR4がオンされる。

【0129】上述したように、スタックゲート型トランジスタSTR11のスレッシュド電圧 V_t は、 $(V_{dd}-V_t)$ が V_r と等しくなるような電圧に設定されているため、トランジスタTR11とトランジスタSTR15とからなる差動増幅回路により、リファレンスアナログデータ $V_r (=V_{dd}-V_t)$ と入力アナログデータ V_i との差分に応じた電流出力が得られる。

【0130】2-4. アナログ連想メモリの第2の実施形態の変形例

なお、上述の例では、アナログ連想メモリを構成する各アナログ演算素子には、1つのリファレンスデータを記憶しているが、複数のリファレンスデータを記憶できるようにしても良い。すなわち、図9に示す例では、リファレンスデータのメモリとなるトランジスタは1つスタックゲート型トランジスタSTR11であったが、図11に示す例では、リファレンスデータのメモリとなる3つのスタックゲート型トランジスタSTR11a、STR11b、STR11cを並列に接続するようにしている。このように、3つのスタックゲート型トランジスタSTR11a、STR11b、STR11cを設けると、1つの差動増幅回路に対して、3つのリファレンスデータを保持することが可能となる。そして、リファレンスデータラインRL1a、RL1b、RL1c、…により、随時、演算すべきリファレンスデータを選択することができる。

【0131】なお、この例における電流-電圧変換回路CV1、CV2、CV3、…の構成については、前述の第1の例で示したものと同様のものを用いることができる。

【0132】また、前述の図7と同様に、1つのデータについて、互いに極性が反対になるように2つのアナロ

グ演算素子A11a~A1na及びA11b~A1nbを設けると共に、これらのアナログ演算素子A11a~A1na及びA11b~A1nbに対して、正の電流出力のときのみ動作する2つのカレントミラー回路CM11a~CM1na及びCM11b~CM1nbを設けることにより、差分の絶対値和が得ることができる。この場合、出力端子にバイアス電圧を印加する必要はないので、図7におけるスイッチ回路Sa11~Sa1n、Sb11~Sb1nは不要であり、図12に示すような構成とすれば良い。

【0133】3. アナログ連想メモリの第3の実施形態3-1. アナログ連想メモリの第3の実施形態の全体構成

図13は、この発明が適用されたアナログ連想メモリの第3の実施形態を示すものである。図13において、前述の第1の実施形態及び第2の実施形態と同様な部分については、同一の符号が付されている。

【0134】この例では、アナログ演算素子A11~A_mnは、図14に示すように、NMOSTランジスタTR21、TR22、TR23、TR24、TR25と、スタックゲート型のNMOSTランジスタSTR21とから構成されている。

【0135】すなわち、図14は、図13におけるアナログ演算素子A11、A12、…、A21、A22、…の部分の詳細に示したものである。図14のアナログ演算素子A11、A12、…、A21、A22、…において、NMOSTランジスタTR21と、スタックゲート型トランジスタSTR21とから差動増幅回路が構成される。このトランジスタTR21及びスタックゲート型トランジスタSTR21とからなる差動増幅回路と、電源ラインとの間に、素子を選択するためのトランジスタTR24が接続される。また、トランジスタTR21及びスタックゲート型トランジスタSTR21とからなる差動増幅回路と接地間に、トランジスタTR22とトランジスタTR23とからなるカレントミラー回路が接続される。また、スタックゲート型トランジスタTR21のフローティングゲートから電極が引き出され、このフローティングゲートがスイッチングトランジスタTR25を介してトランジスタ21のゲートに接続される。

【0136】トランジスタTR21のゲートからは、データを入力するための端子IN21が導出される。スタックゲート型トランジスタSTR21のコントロールゲートからは、リファレンスデータを記憶させるための端子IN22が導出される。スタックゲート型トランジスタSTR21とトランジスタTR23との接続点からは、電流出力を得るための端子OUT21が導出される。トランジスタTR24のゲートからは、素子を選択するための端子IN23が導出される。トランジスタ25のゲートからは、書き込み時にトランジスタ25をオンさせるための端子IN24が導出される。

【0137】図13に示すように、アナログ演算素子 $A_{11} \sim A_{mn}$ は、 $(m \times n)$ の2次元マトリクス状に配設される。行方向に並ぶアナログ演算素子 $A_{11} \sim A_{m1}$ 、 $A_{12} \sim A_{m2}$ 、 \dots 、 $A_{1n} \sim A_{mn}$ から導出される端子 $IN21$ は、入力データライン $SL1 \sim SLn$ に夫々接続される。また、行方向に並ぶアナログ演算素子 $A_{11} \sim A_{m1}$ 、 $A_{12} \sim A_{m2}$ 、 \dots 、 $A_{1n} \sim A_{mn}$ から導出される端子 $IN22$ は、リファレンスデータライン $RL1 \sim RLn$ に夫々接続される。

【0138】列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 $OUT21$ は、データライン $DL1 \sim DLn$ に夫々接続される。また、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 $IN23$ は、セレクトライン $SWL1 \sim SWLn$ に夫々接続される。更に、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ から導出される端子 $IN24$ は、スイッチライン $CL1 \sim CLm$ に夫々接続される。

【0139】データライン $DL1 \sim DLn$ の終端には、電流-電圧変換回路 $CV1$ 、 $CV2$ 、 \dots 、 CVm が夫々接続される。電流-電圧変換回路 $CV1 \sim CVm$ により、列方向に並ぶアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ の電流出力が夫々加算され、電圧出力に変換される。

【0140】電流-電圧変換回路 $CV1 \sim CVm$ の出力がWTA回路1に供給される。WTA回路1の出力がPQ回路2に供給される。PQ回路2の出力がROM回路3に供給される。ROM3の出力が出力端子4から出力される。

【0141】図13に示すアナログ連想メモリにおいて、画像の特徴抽出や動きベクトルの検出等の信号処理を行なう場合には、アナログ値のリファレンスデータは、ベクトル $(DRm1, DRm2, \dots, DRmn)$ を形成して、各アナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ に記憶される。

【0142】リファレンスデータが各アナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ に記憶されたら、入力信号ベクトル $(DI1, DI2, \dots, DIM)$ が入力データライン $SL1 \sim SLn$ を通じて列毎に供給される。

【0143】画像の特徴抽出や動きベクトルの検出等の信号処理を行なう場合には、選択された列のアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ で、入力データ $(DI1, DI2, \dots, DIN)$ と、リファレンスデータ $(DRm1, DRm2, \dots, DRmn)$ との差分が求められる。この各列のアナログ演算素子 $A_{11} \sim A_{1n}$ 、 $A_{21} \sim A_{2n}$ 、 \dots 、 $A_{m1} \sim A_{mn}$ の入力データと、リファレンスデータとの差分の値が加算され、この差分値の和が電流-電圧変換回路C

$V1, CV2, \dots, CVm$ から出力される。

【0144】電流-電圧変換回路 $CV1, CV2, \dots, CVm$ の出力がWTA回路1、PQ回路2、ROM回路3に供給され、これらの入力データとリファレンスデータとの差分の絶対値和が最小となるアドレスが求められる。この入力データとリファレンスデータとの差分の絶対値和が最小となるアドレスから、動きベクトルの検出や画像の特徴抽出が行なわれる。

【0145】3-2. アナログ演算素子の第3の例
このように、図13及び図14に示すアナログ連想メモリでは、トランジスタ $TR21 \sim TR25$ と、スタックゲート型のトランジスタ $STR21$ とから構成されているアナログ演算素子 $A_{11} \sim A_{mn}$ がマトリクス状に配列される。これらのアナログ演算素子 $A_{11} \sim A_{mn}$ により、入力データとリファレンスデータとの差分が求められる。このようにして求められた入力データとリファレンスデータとの差分の和から、画像の特徴抽出や動きベクトルの算出が行なわれる。

【0146】このように、入力データとリファレンスデータとの差分を求めるアナログ演算素子 $A_{11} \sim A_{mn}$ の構成について、更に詳述する。

【0147】図15は、アナログ演算素子の第3の例を示すものである。図15に示すように、このアナログ演算素子は、差動増幅回路のポジティブ側のトランジスタを、スタックゲート型トランジスタ $STR21$ で置き換えたような構成となっておりと共に、スタックゲート型トランジスタ $STR21$ のフローティングゲートから電極を取り出して、フローティングゲートの電位を設定できるようになっている。なお、差動増幅回路のポジティブ側を構成するスタックゲート型トランジスタ $STR21$ と、差動増幅回路のネガティブ側を構成するトランジスタ $TR21$ は、チャンネル幅が同じサイズに設定される。

【0148】スタックゲート型トランジスタ $STR21$ と、トランジスタ $TR21$ とから構成される差動増幅回路では、ネガティブ側のトランジスタ $TR21$ のゲート電位 V_i と、スタックゲート型トランジスタ $STR21$ のフローティングゲート電位 V_f とが一致したときに、トランジスタ $TR21$ の電流能力とスタックゲート型トランジスタ $STR21$ の電流能力とが等しくなり、差動増幅回路の電流出力は「0」になる。したがって、スタックゲート型トランジスタ $STR21$ のフローティングゲート電位 V_f とトランジスタ $TR21$ のゲート電位 V_i との差 $(V_f - V_i)$ に応じた電流出力 I_{out} をノード N_{out} から得ることができる。

【0149】例えば、スタックゲート型トランジスタ $STR21$ のコントロールゲートに電源電圧 V_{dd} を印加したときのフローティングゲート電位 V_f がリファレンスデータ V_r に対応するように電流の注入量をコントロールすれば、スタックゲート型トランジスタ $STR21$ は

リファレンスデータを蓄えるアナログメモリとして機能するようになる。

【0150】このように、トランジスタTR21～TR25と、スタックゲート型トランジスタSTR21とから構成されているアナログ演算素子では、スタックゲート型トランジスタSTR21にリファレンスデータを記憶しておき、トランジスタTR21に入力データを与えることにより、入力データとリファレンスデータとの差分に応じた電流出力を得ることができる。

【0151】3-3. アナログ連想メモリの第3の例の動作

次に、図13及び図14に示したこのアナログ連想メモリの各アナログ演算素子A11～Amnにリファレンスデータを書き込む場合の動作について説明する。

【0152】このアナログ連想メモリの各アナログ演算素子A11～Amnにリファレンスデータを書き込む際には、データラインSL1、SL2、…に、書き込みデータに対応する電圧Vrが供給される。この書き込みデータに対応する電圧Vrは、端子IN21を介して、差動増幅回路のネガティブ側のNMOSTランジスタTR21のゲートに印加される。また、このとき、リファレンスラインRL1、RL2、…に電源電圧Vddが供給される。この電源電圧Vddは、端子IN22を介して、スタックゲート型トランジスタSTR21のコントロールゲートに印加される。そして、スイッチラインCL1、CL2、…に電源電圧Vddが供給され、スイッチングトランジスタTR25がオンされる。

【0153】スイッチングトランジスタTR25がオンされると、トランジスタTR21のゲートとスタックゲート型トランジスタSTR21のフローティングゲートとが配線L21を介して接続されることになる。これにより、トランジスタTR21のゲートと、スタックゲート型トランジスタSTR21のフローティングゲートには、電位Vrが同様に与えられる。

【0154】スタックゲート型トランジスタSTR21のコントロールゲートに印加される電圧により、トランジスタの基板よりスタックゲート型トランジスタSTR21のフローティングゲートの電子の出し入れが行なわれ、フローティングゲートの電位がシフトしていく。

【0155】その後、スイッチングトランジスタTR25がオフされる。スイッチングトランジスタTR25がオフされると、スタックゲート型NMOSTランジスタSTR21のフローティングゲートはフローティングとなる。このとき、スタックゲート型トランジスタSTR21のフローティングゲートは、リファレンスデータのときの電位Vrとなる。このため、ベリファイ動作は不要である。

【0156】このようにしてスタックゲート型トランジスタSTR21のフローティングゲートの電位に、リファレンスデータの電位Vrに相当する電位が書き込まれ

たら、演算モードに設定することができる。

【0157】演算モードでは、スイッチラインCL1、CL2、…が0Vとされ、スイッチングトランジスタTR25がオフされる。入力データラインSL1、SL2、…に、入力データに相当するアナログ電位Viが印加される。この電位Viは、端子IN21を介して、ネガティブ側入力トランジスタTR21のゲートに印加される。また、リファレンスデータラインRL1、RL2、…に、電源電圧Vddが供給される。この電源電圧Vddは、端子IN22を介して、スタックゲート型トランジスタSTR21のコントロールゲートに印加される。そして、セレクトラインSWL1、SWL2、…により、選択された列のトランジスタTR24がオンされる。

【0158】上述したように、スタックゲート型トランジスタSTR21のフローティングゲートには、コントロールゲートに電圧Vddを印加したときにリファレンスデータとなるアナログ電位Vrが記憶されている。このため、トランジスタTR21と、スタックゲート型トランジスタSTR21とからなる差動増幅回路により、リファレンスデータの電位Vrと入力データの電位Viとの差分に応じた電流出力が得られる。

【0159】このように、この例では、スタックゲート型トランジスタSTR21のフローティングゲートから電極が導出されているため、書き込みとベリファイとを繰り返さずに、スタックゲート型トランジスタSTR21のフローティングゲートにリファレンスデータに応じたアナログ電位Vrを記憶できるという利点がある。

【0160】しかしながら、この例では、スタックゲート型NMOSTランジスタSTR21のフローティングゲートは、配線L21を介してトランジスタTR25の拡散層に接続されているので、長時間電荷を保持することはできず、通常、数msで電荷を放電してしまう。よって、この例では、リファレンスデータの書き込み後、データの精度上許容範囲内の放電を保証する時間内に演算操作を行なう必要がある。

【0161】3-4. アナログ連想メモリの第3の実施形態の変形例

なお、上述の例では、アナログ連想メモリを構成する各アナログ演算素子には、1つのリファレンスデータを記憶しているが、複数のリファレンスデータを記憶できるようにしても良い。すなわち、図14に示す例では、リファレンスデータのメモリとなるトランジスタは1つスタックゲート型トランジスタSTR21であったが、図16に示す例では、リファレンスデータのメモリとなる3つのスタックゲート型トランジスタSTR21a、STR21b、STR21cを並列に接続し、スタックゲート型トランジスタSTR21a、STR21b、STR21cの夫々とトランジスタTR21のゲートとの間に、3つのスイッチングトランジスタTR25a、TR

25b、TR25cを設けるようにしている。このように、1つの差動増幅回路に対して3つのスタックゲート型トランジスタSTR21a、STR21b、STR21cを設けると、1つの差動増幅回路に対して、3つのリファレンスデータを保持することが可能となる。

【0162】なお、この例における電流-電圧変換回路CV1、CV2、CV3、…の構成については、前述の第1及び第2の例で示したものと同様のものを用いることができる。

【0163】また、前述の図7と同様に、1つのデータについて、互いに極性が反対になるように2つのアナログ演算素子A11a~A1na及びA11b~A1nbを設けると共に、これらのアナログ演算素子A11a~A1na及びA11b~A1nbに対して、正の電流出力のときのみ動作する2つのカレントミラー回路CM11a~CM1na及びCM11b~CM1nbを設けることにより、差分の絶対値和が得ることができる。この場合、この例では、出力端子にバイアス電圧を印加する必要はないので、図7におけるスイッチ回路Sa11~Sa1n、Sb11~Sb1nは不要であり、前述の第2の実施形態と同様に、図12に示すような構成とすれば良い。

【0164】4. 応用例

以上のように、この発明が適用されたアナログ連想メモリでは、アナログ値を直接演算して、画像処理を行なうことができる。このようなアナログ連想メモリを、イメージセンサに搭載するようにしても良い。

【0165】すなわち、図17は、MOSイメージセンサの1画素の構成を示している。MOSイメージセンサでは、1画素は、フォトダイオードPD1と、MOSTランジスタQ1とから構成されている。このようなMOSイメージセンサにアナログ連想メモリを搭載させる場合、図17に示すように、フォトダイオードPD1の光電変換信号が直接アナログ演算素子A1に入力されるように、アナログ演算素子A1が配設される。

【0166】なお、このようにアナログ演算素子A1を配設すると、各画素毎に差動増幅回路が挿入されたことになり、また、データ線DLを、MOSイメージセンサの信号線と兼用することも可能である。

【0167】また、上述の例では、全て、NMOSの差動増幅回路からアナログ演算素子を構成しているが、CMOS構成の差動増幅回路からアナログ演算素子を構成するようにしても良い。

【0168】また、スタックゲート型トランジスタのフローティングゲートへの電荷の注入方法は、チャンネル注入、ホットエレクトロン注入等、他の方法があり、これらの方法を用いて、スタックゲート型トランジスタのフローティングゲートへの電荷を注入するようにしても良い。

【0169】

【発明の効果】この発明によれば、カレントミラー型の負荷回路を有する差動増幅回路の一方にアナログ記憶素子が設けられ、このアナログ記憶素子にリファレンスアナログデータに対応する値が記憶され、差動増幅回路の他方の入力に、入力アナログデータに対応する値が与えられ、この差動増幅回路によりリファレンスアナログデータに対応する値と入力アナログデータに対応する値との差分に対応する値が出力されるようなアナログ演算素子をマトリク状に配設して、アナログ連想メモリが構成される。このようなアナログ連想メモリを用いると、構成が簡単で、精度良く、高速に、リファレンスデータと入力データとの差分の絶対値和を求めることができる。

【図面の簡単な説明】

【図1】この発明が適用されたアナログ連想メモリの第1の実施形態の全体構成を示すブロック図である。

【図2】この発明が適用されたアナログ連想メモリの第1の実施形態の全体構成を示す接続図である。

【図3】アナログ演算素子の第1の例を示す接続図である。

【図4】スタックゲート型トランジスタの構成を示す断面図である。

【図5】この発明が適用されたアナログ連想メモリの第1の実施形態の変形例を示すブロック図である。

【図6】この発明が適用されたアナログ連想メモリの第1の実施形態における電流-電圧変換回路の一例のブロック図である。

【図7】差分の絶対値和を求めるための回路の一例の接続図である。

【図8】この発明が適用されたアナログ連想メモリの第2の実施形態の全体構成を示すブロック図である。

【図9】この発明が適用されたアナログ連想メモリの第2の実施形態の全体構成を示す接続図である。

【図10】アナログ演算素子の第2の例を示す接続図である。

【図11】この発明が適用されたアナログ連想メモリの第2の実施形態の変形例を示すブロック図である。

【図12】差分の絶対値和を求めるための回路の他の例の接続図である。

【図13】この発明が適用されたアナログ連想メモリの第3の実施形態の全体構成を示すブロック図である。

【図14】この発明が適用されたアナログ連想メモリの第3の実施形態の全体構成を示す接続図である。

【図15】アナログ演算素子の第3の例を示す接続図である。

【図16】この発明が適用されたアナログ連想メモリの第3の実施形態の変形例を示すブロック図である。

【図17】この発明が固体撮像素子に應用された例を示す接続図である。

【図18】従来のアナログ連想メモリの一例の説明に用いる接続図である。

【図19】従来のアナログ連想メモリの一例の説明に用いる断面図である。

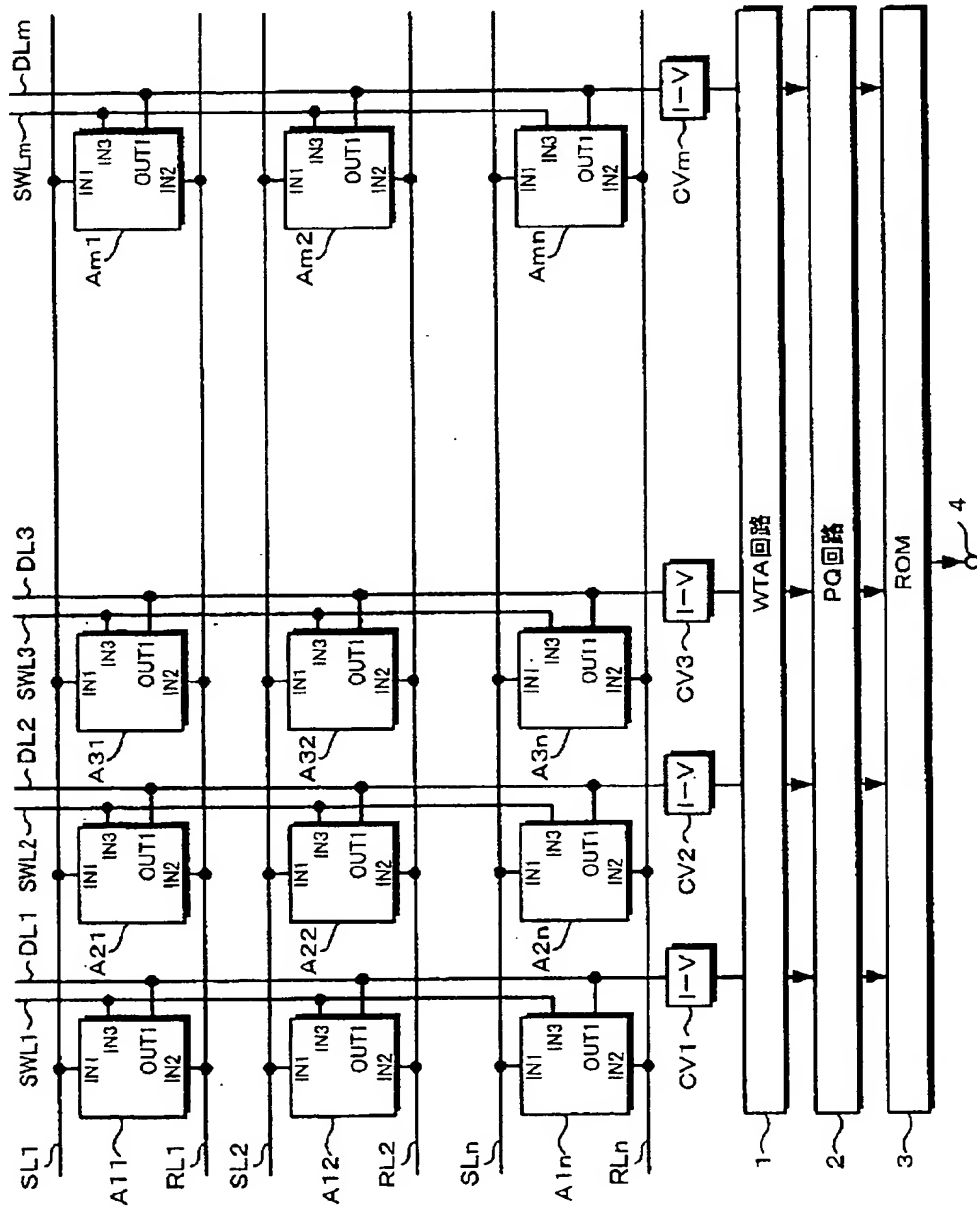
【図20】従来のアナログ連想メモリの一例の説明に用いるグラフである。

【図21】従来のアナログ連想メモリの一例の接続図である。

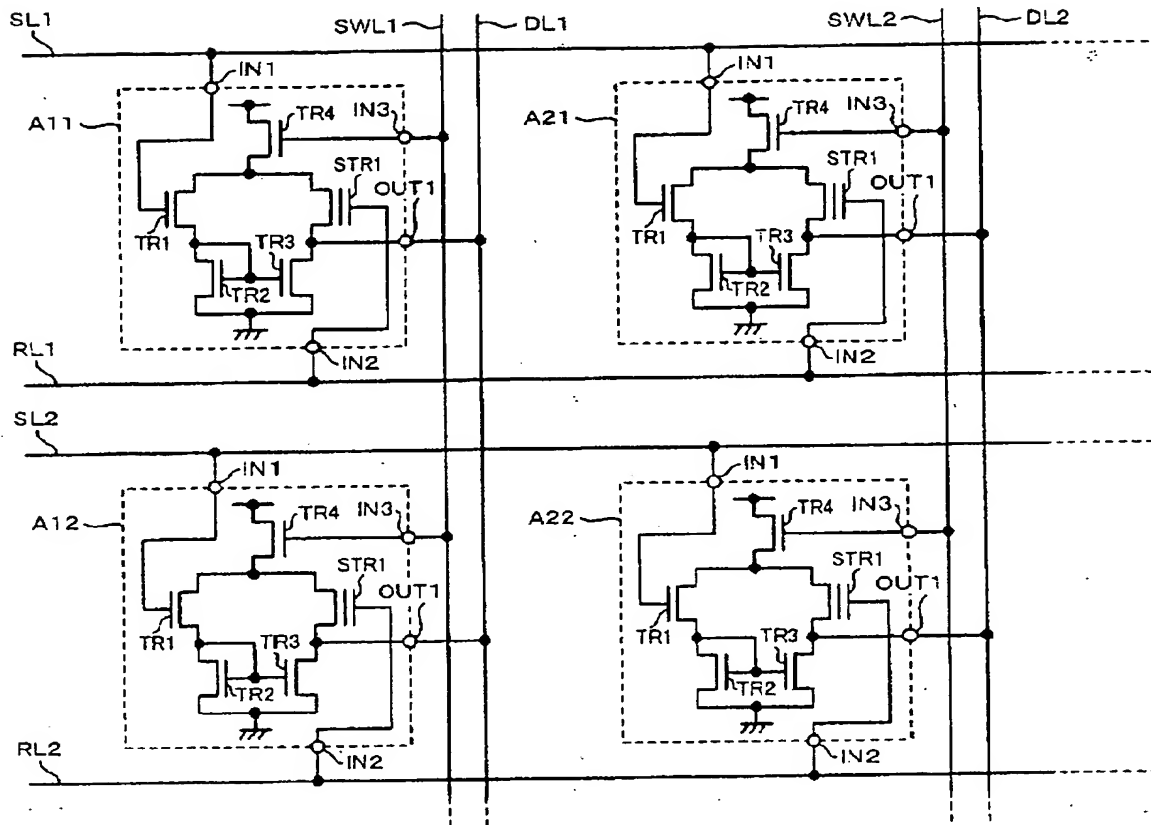
【符号の説明】

A11~Amn・・・アナログ演算素子, STR1、STR11、STR21・・・スタックゲート型NMOSトランジスタ, TR1~TR4、TR11~TR15、TR21~TR25・・・NMOSトランジスタ

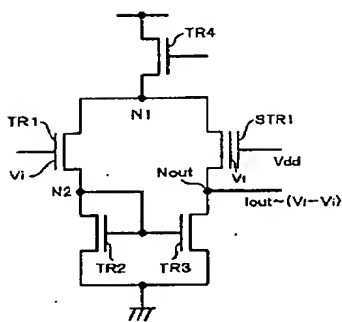
【図1】



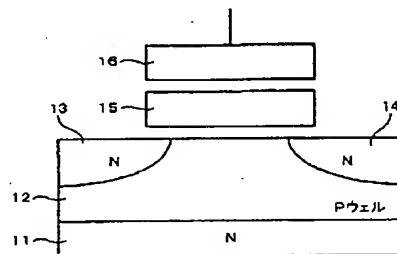
【図2】



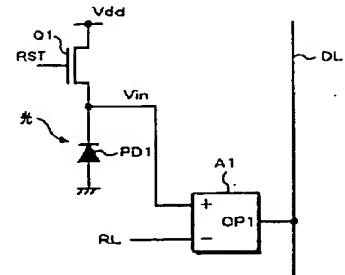
【図3】



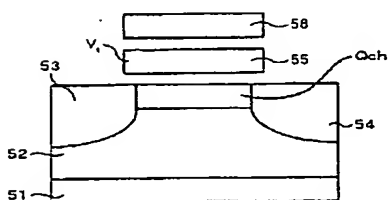
【図4】



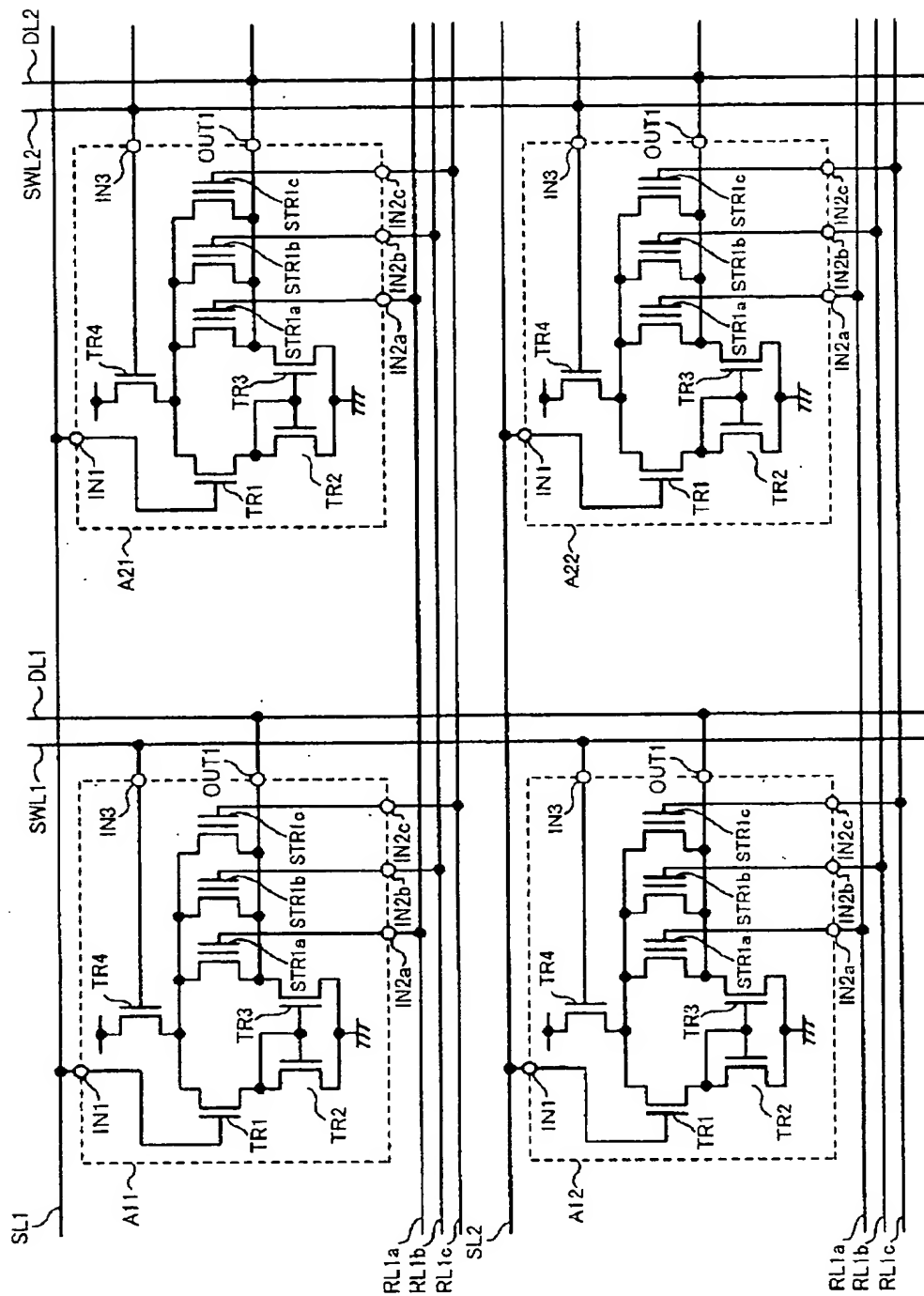
【図17】



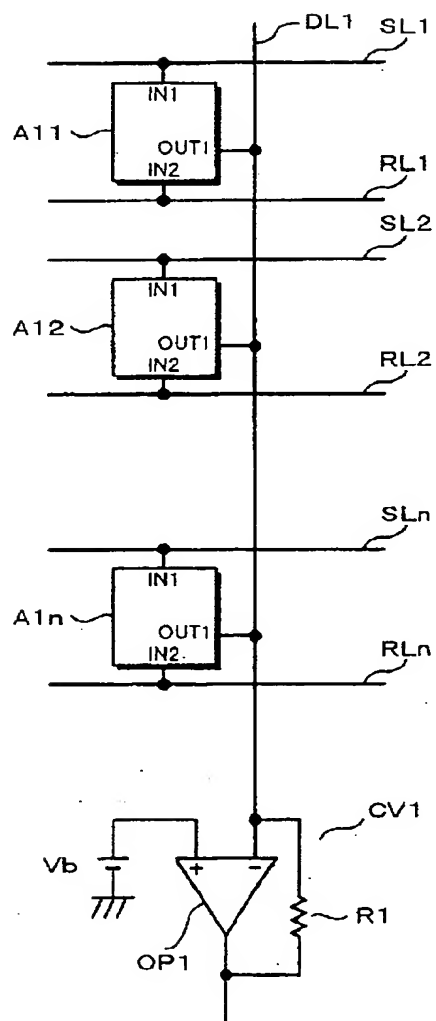
【図19】



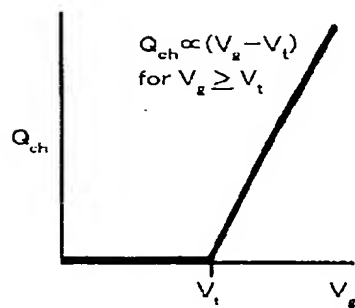
【図5】



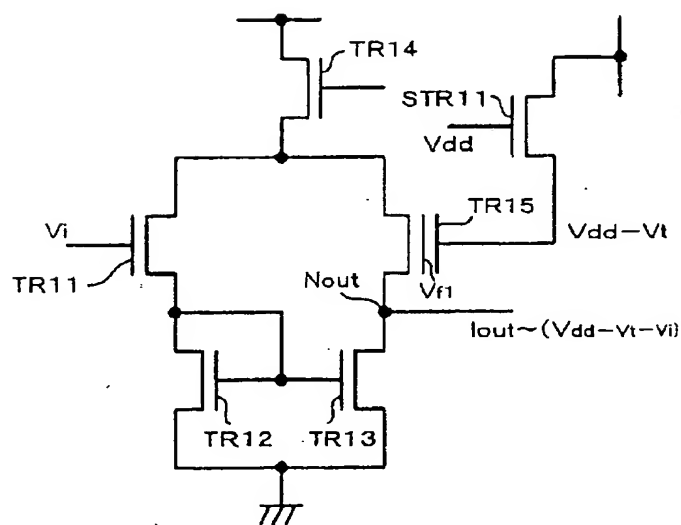
【図6】



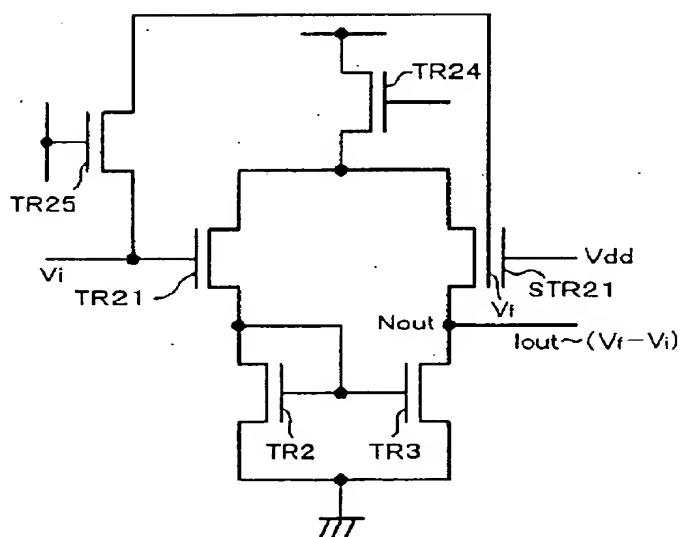
【図20】



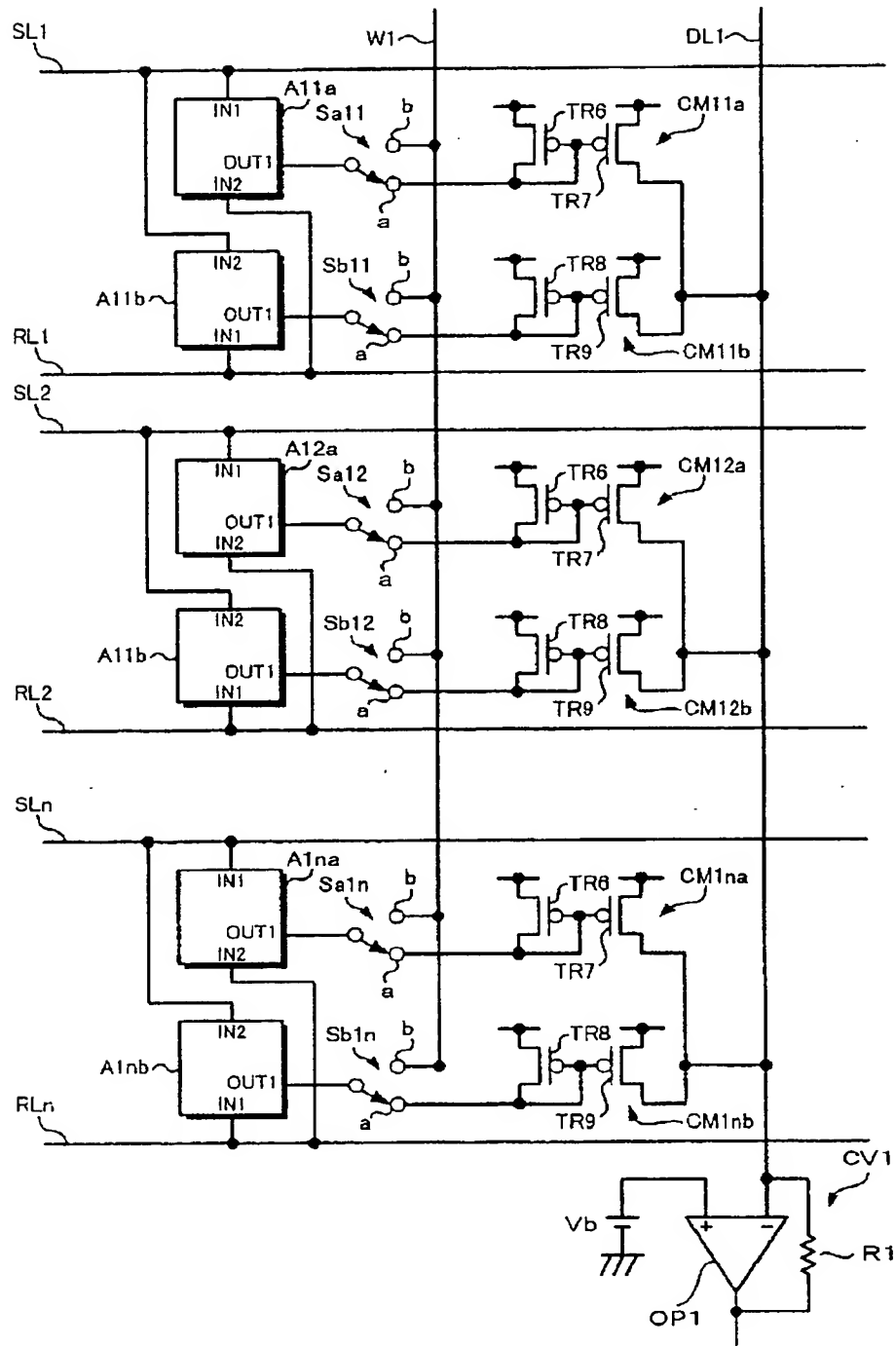
【図10】



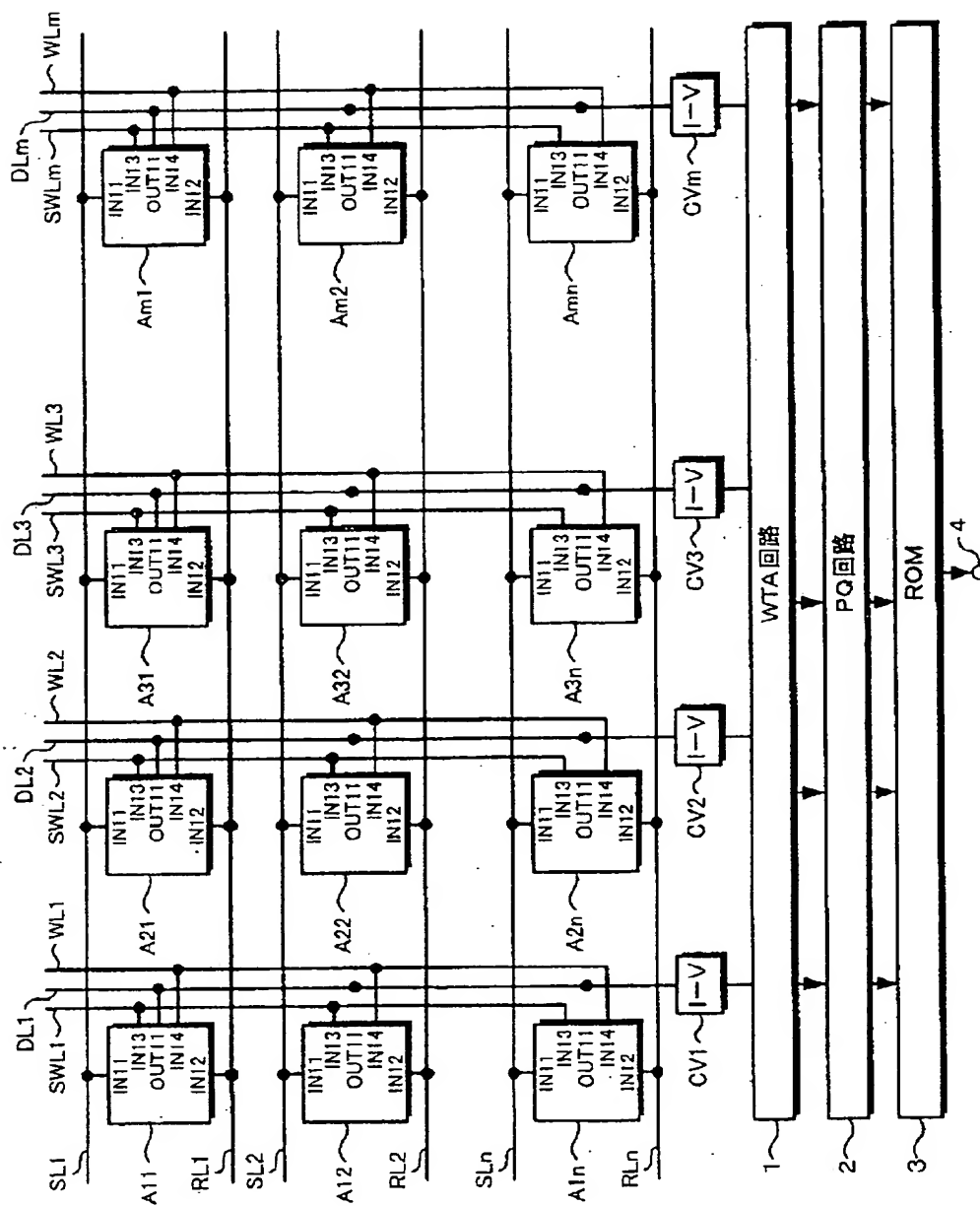
【図15】



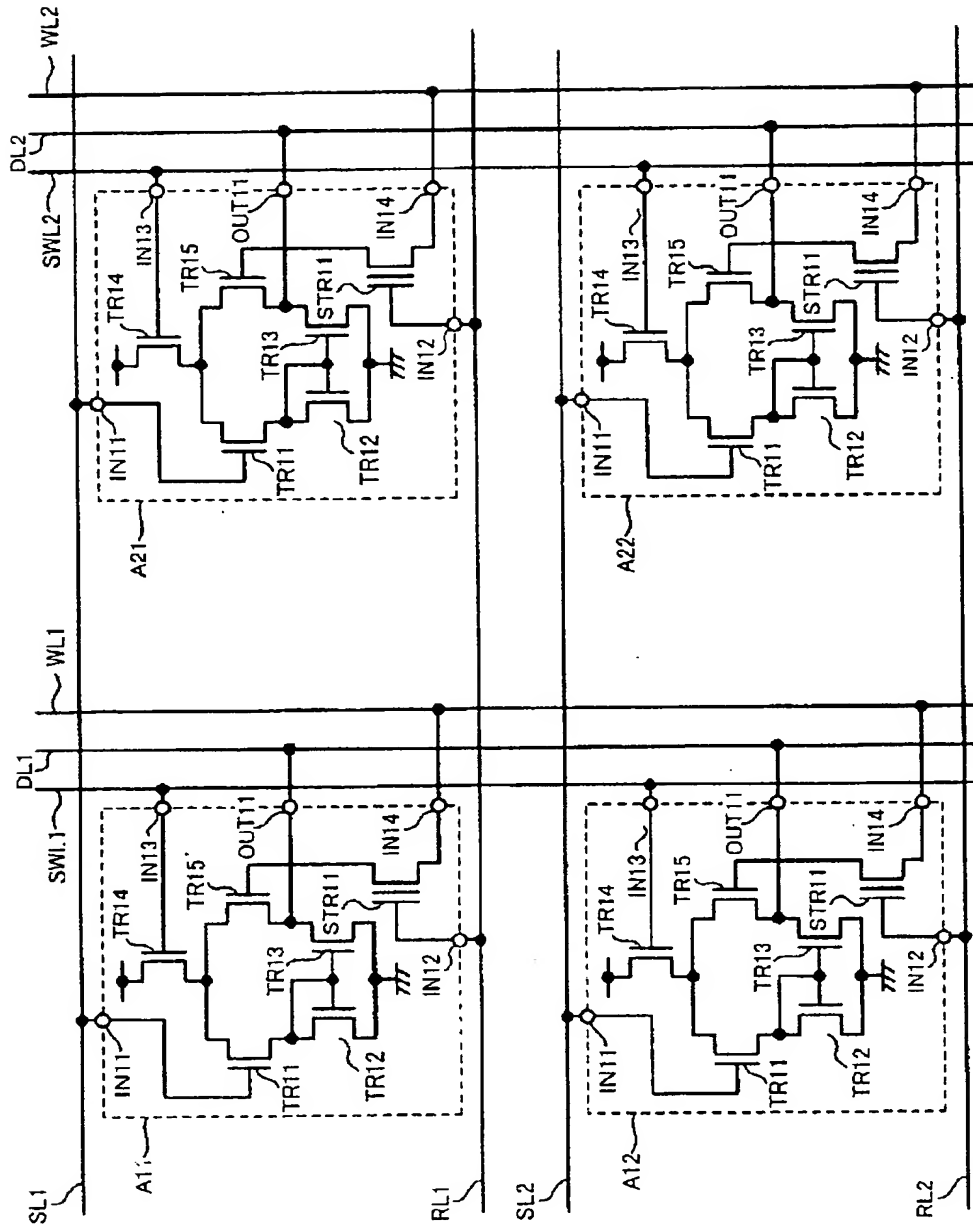
【図7】



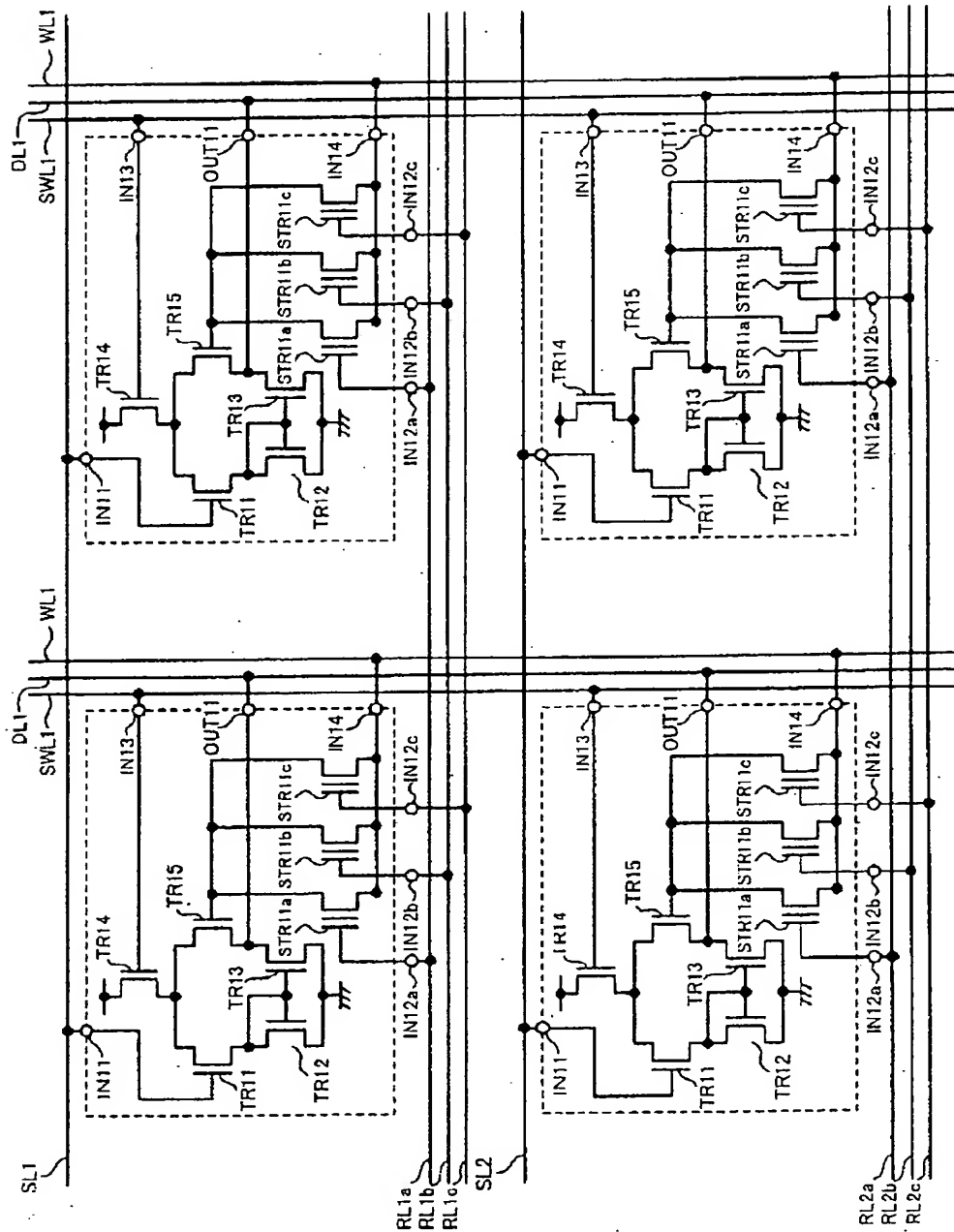
【図8】



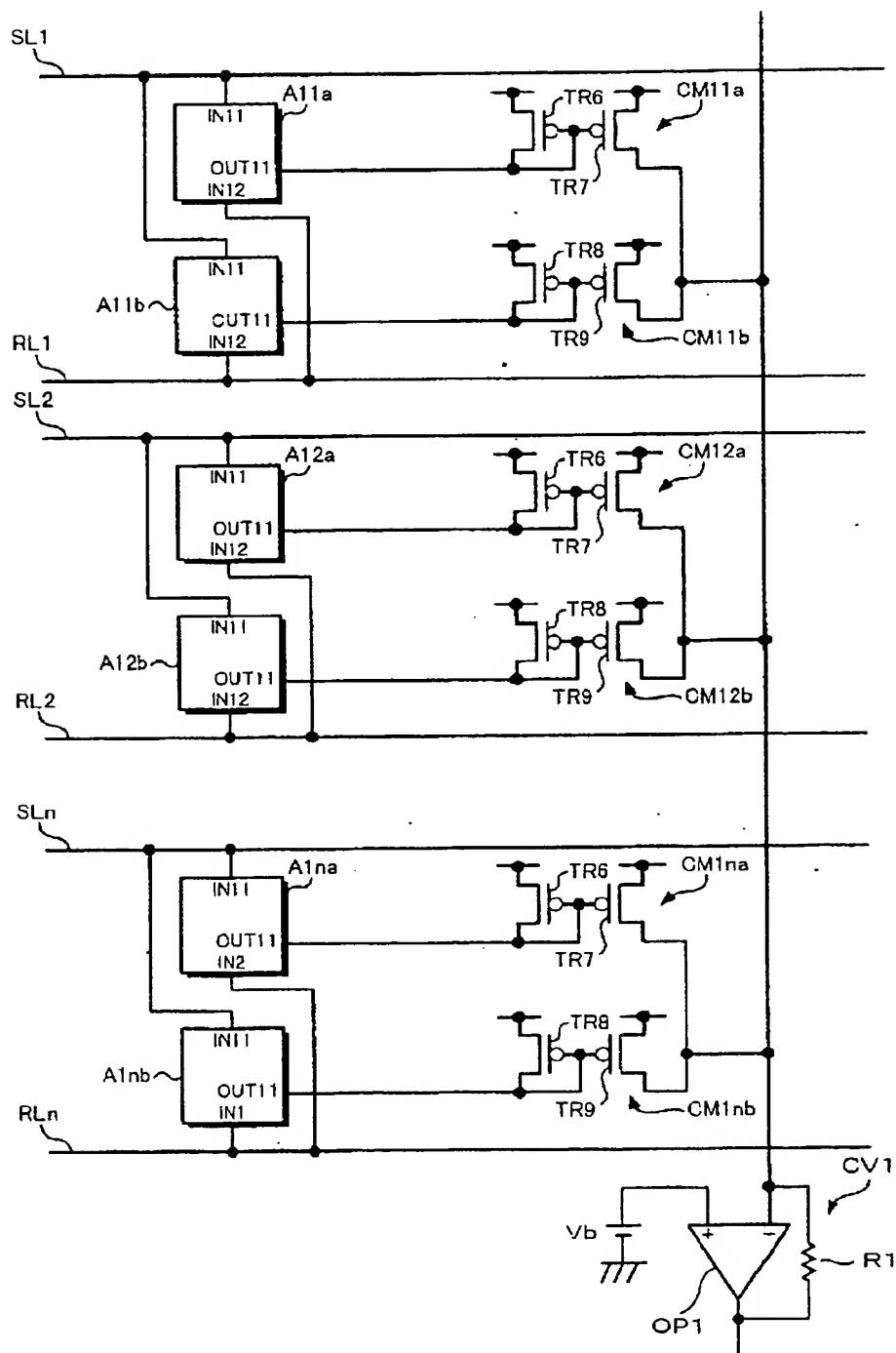
【図9】



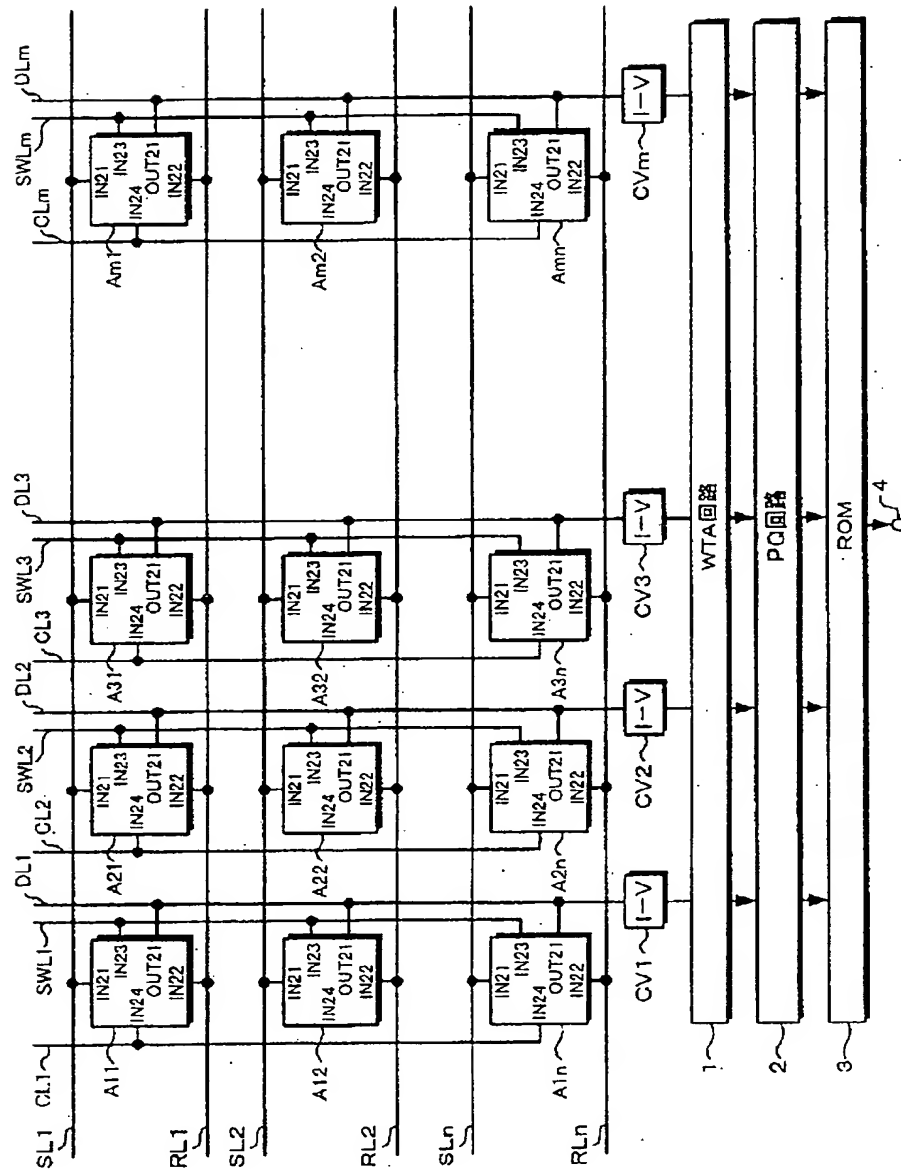
【図11】



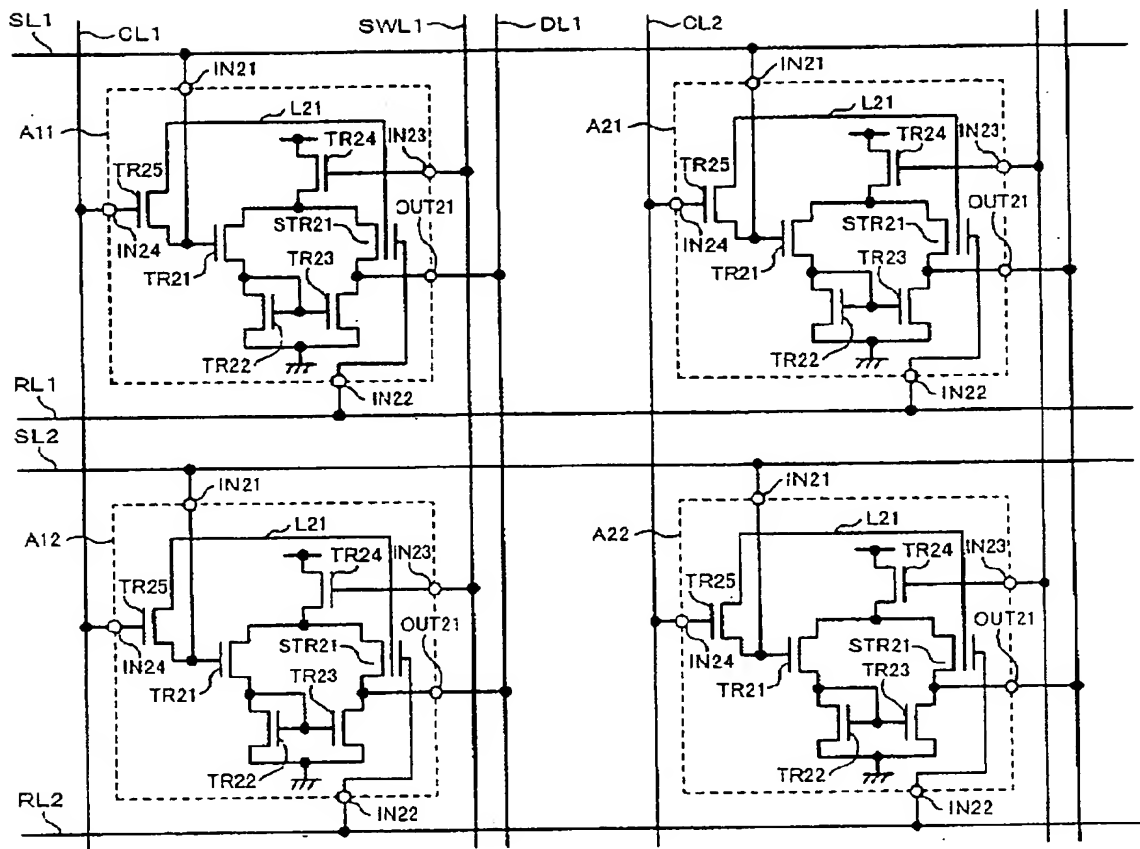
【図12】



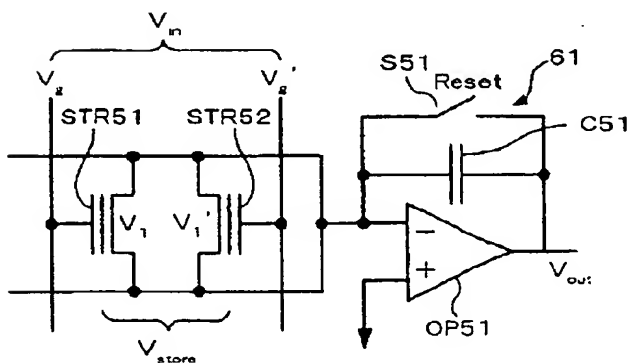
【圖13】



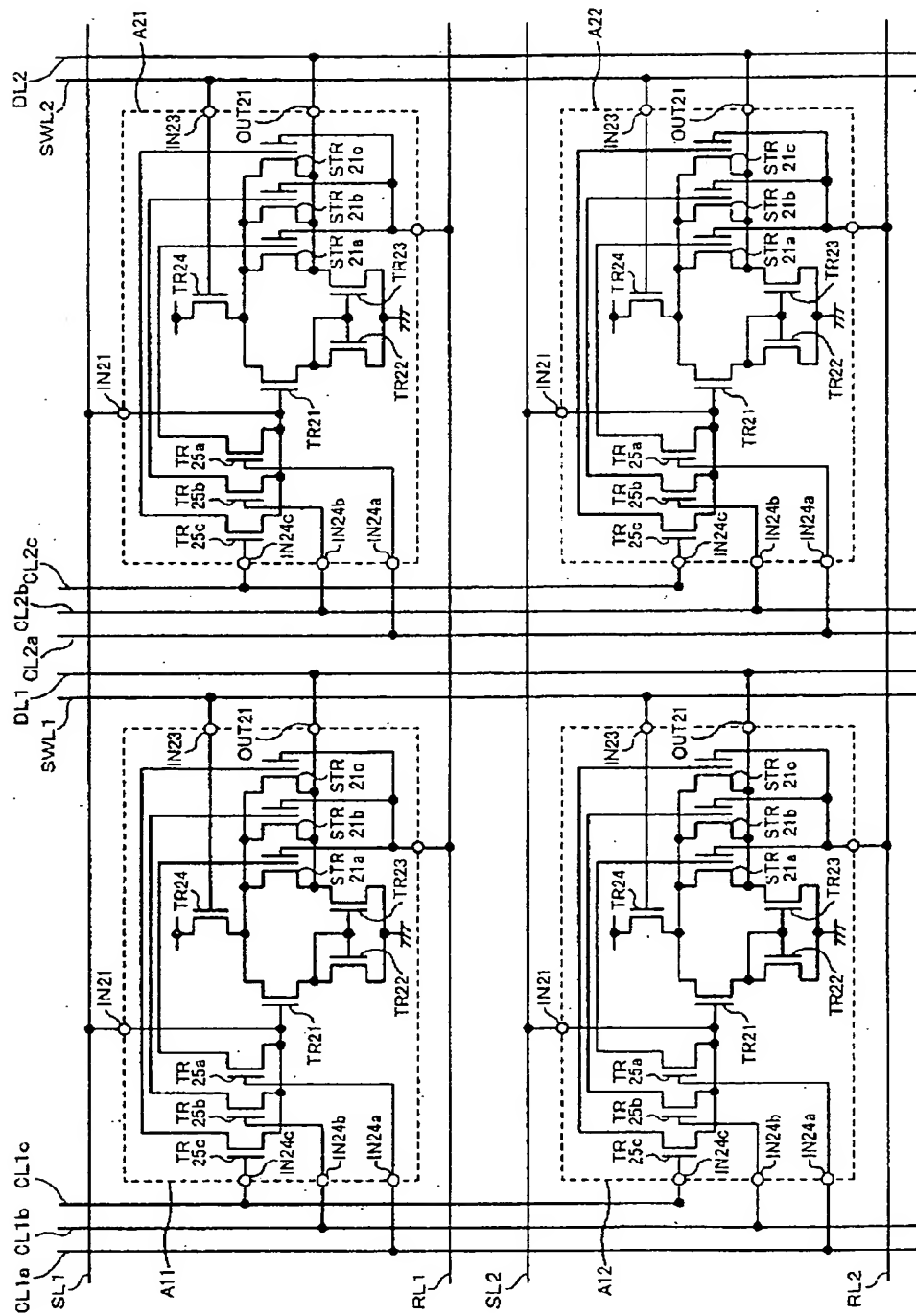
【図14】



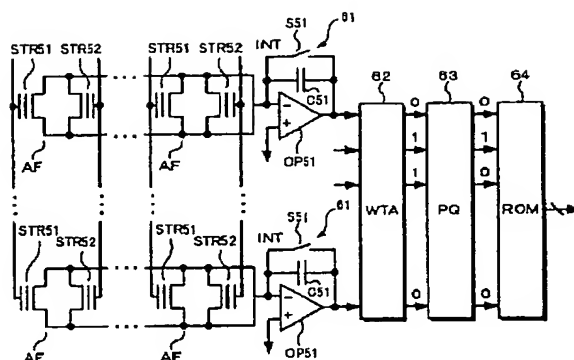
【図18】



【図16】



【図21】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テームド (参考)
H 0 1 L 21/8247		H 0 1 L 27/10	4 3 4
29/788		29/78	3 7 1
29/792			
H 0 3 F 3/45			

F ターム (参考) 5F001 AA25 AB08 AC02 AC06 AD03
 AH01
 5F083 EP02 EP23 ER02 ER03 ER09
 ER14 ER16 ER30 GA01 GA30
 LA03 LA10
 5J066 AA01 AA12 CA18 CASS FA09
 HA10 HA19 HA25 HA29 HA38
 HA44 KA00 KA01 KA02 KA09
 KA27 MA00 MA02 MA19 ND01
 ND14 ND22 ND23 PD01 QA02
 TA01 TA02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)